

JAPANESE [JP,2002-261041,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION
TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An ion-implantation layer of a SiC semiconductor characterized by having spread in a field of field bearing which has an off angle with an angle [α] of less than 10 degrees from {03-38} side of 4H mold SiC.

[Claim 2] Said off angle α is the ion-implantation layer of a SiC semiconductor according to claim 1 characterized by being less than 5 degrees.

[Claim 3] Said off angle α is the ion-implantation layer of a SiC semiconductor according to claim 1 characterized by being less than 3 degrees.

[Claim 4] An ion-implantation layer manufacture method characterized by to have a SiC crystal growth production process of growing up a SiC single crystal of 4H mold polytype, and an ion-implantation production process which pours ion into a SiC crystal which grew in said SiC crystal growth production process on seed crystal which consists of a SiC single crystal to which a field to which only less than about 10-degree off angle α inclined to {03-38} side or {03-38} side was exposed.

[Claim 5] It is the ion-implantation layer manufacture method according to claim 4 which leans from {03-38} side and is characterized by a ***** off angle α being less than 5 degrees in said SiC crystal growth production process.

[Claim 6] It is the ion-implantation layer manufacture method according to claim 4 which leans from {03-38} side and is characterized by a ***** off angle α being less than 3 degrees in said SiC crystal growth production process.

[Claim 7] An ion-implantation layer manufacture method given in any 1-term of claims 4-6 characterized by having further an annealing production process which heat-treats a SiC crystal with which ion was poured in according to said ion-implantation production process with temperature of 1000 degrees C or less.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the ion-implantation layer manufacture method of manufacturing the ion-implantation layer and its ion-implantation layer of a SiC semiconductor.

[0002]

[Description of the Prior Art] In recent years, research of the compound semiconductor which consists of light elements, such as silicon carbide (SiC) or gallium nitride (GAN), is done briskly. Since these compound semiconductors are constituted by the light element, it is the feature that binding energy is strong, consequently the forbidden-band width of face (band gap) of energy, dielectric-breakdown electric field, and thermal conductivity are large. The well head and the high resisting pressure power device which harnessed the feature of this wideband gap, the RF power device, and the elevated-temperature actuation device attract attention. These semiconductor devices are manufactured by ion-implantation in many cases.

[0003]

[Problem(s) to be Solved by the Invention] However, the conventional SiC semiconductor had the trouble that a SiC crystal was confused in an ion-implantation production process, although the inclination to {0001} sides poured ion into SiC which has less than 10-degree field bearing and was manufactured. And the turbulence of the crystal produced in the ion-implantation production process was difficult to recover also in a subsequent annealing production process. Although the method called the hot implantation which pours ion into the heated sample as the technique of making min turbulence of the crystal at the time of an ion implantation may be adopted By this method, since it is necessary to heat the sample electrode holder of ion implantation equipment to an about 500-degree C elevated temperature at homogeneity When general-purpose ion implantation equipment was not able to be used, in the annealing production process for the crystal recovery performed after an ion implantation, it needed to heat-treat at the temperature exceeding 1000 degrees C. The hot processing which such heat treatment may bring about diffusion of an unexpected impurity, and is needed in the middle of a process will restrict the flexibility of a process, and the flexibility of device layout. Furthermore, there was also a trouble that the crystal surface was ruined with high temperature processing.

[0004] Then, this invention solves the above-mentioned technical problem, and it aims at offering the ion-implantation layer which reduced the dry area of the turbulence and the crystal surface of a crystal, and the ion-implantation layer manufacture method.

[0005]

[Means for Solving the Problem] An ion-implantation layer of a SiC semiconductor concerning this invention is characterized by having spread in a field of field bearing which has an off angle with an angle [α] of less than 10 degrees from {03-38} side of the 4H mold SiC.

[0006] Thus, when an ion-implantation layer spreads in the field bearing which has an OFF angle with an angle [α] of less than 10 degrees from {03-38} side, an ion-implantation layer with little turbulence of a crystal is realizable.

[0007] Moreover, as for an ion-implantation layer of the above-mentioned SiC semiconductor, it is desirable that the off angle α is less than 5 degrees, and, as for an off angle, it is still more desirable that it is less than 3 degrees. Turbulence of a crystal of an ion-implantation layer of a SiC semiconductor decreases, so that field bearing of a field where an ion-implantation layer has spread becomes close to {03-38} side.

[0008] A SiC semiconductor manufacture method concerning this invention is characterized by to have a SiC crystal-growth production process of growing up a SiC single crystal of 4H mold polytype, and an ion-implantation production process which pours ion into a SiC crystal which grew in a SiC crystal-growth production process on seed crystal which consists of a SiC single crystal to which a field to which only less than about 10-degree off angle α inclined to {03-38} side or {03-38} side was exposed.

[0009] Thus, in a SiC crystal growth production process, an inclination [as opposed to {03-38} side in a SiC single crystal which grew up a SiC single crystal of 4H mold polytype on seed crystal which consists of a SiC single crystal to which a field to which only less than about 10-degree off angle α inclined to {03-38} side or {03-38} side was exposed] has less than 10-degree field bearing. And a SiC semiconductor with little turbulence of a crystal can be manufactured by pouring ion into this SiC single crystal in an ion-implantation production process. Although an inclination to {0001} sides was conventionally manufactured by pouring ion into SiC which has less than 10-degree field bearing, since {0001} sides are roppo maximum ****, when impurity ion is poured in, a crystal receives stress. For this reason, a crystal lattice had become the cause of being confused greatly, by ion implantation. Artificers found out that stress at the time of an inclination to

{03-38} side and {03-38} side being [less than 10-degree field bearing] an ion implantation was few fields, as a result of examining field bearing of SiC wholeheartedly. This is considered that {03-38} side is because an atomic joint hand is the field which has appeared comparatively periodically though it is the field distant from the maximum ****. In order to make turbulence of a crystal in an ion-implantation production process into the minimum conventionally, technique called in hot implantation was adopted, but since turbulence of a crystal can be reduced even if it performs an ion implantation at a room temperature according to this invention, it is not necessary to perform high temperature processing like before, and a problem that the crystal surface is ruined can be solved.

[0010] Moreover, an above-mentioned SiC semiconductor manufacture method is leaned from {03-38} side in a SiC crystal growth production process, and, as for the ***** off angle alpha, it is desirable that it is less than 5 degrees. Furthermore, as for an OFF angle, it is desirable that it is less than 3 degrees. That is, field bearing of a SiC crystal which grows becomes close to {03-38} side, and its turbulence of a crystal of a SiC semiconductor decreases, so that the surface of seed crystal becomes close to {03-38} side.

[0011] Moreover, an above-mentioned SiC semiconductor manufacture method is good also considering having further an annealing production process which heat-treats a SiC crystal with which ion was poured in according to an ion-implantation production process with temperature of 1000 degrees C or less as a feature.

[0012] According to this invention, since there is little turbulence of a crystal, a manufactured ion-implantation layer can set up lower than before (1000 degrees C) temperature of heat treatment in an annealing production process which recovers a crystal, and can realize a SiC semiconductor which reduced a dry area on the surface of a crystal.

[0013]

[Embodiment of the Invention] Hereafter, the suitable operation gestalt of the ion-implantation layer of the SiC semiconductor applied to this invention with a drawing and the ion-implantation layer manufacture method is explained to details. Here, on crystallography, if the mark of a lattice plane is explained, although “-” (bar) is to be attached on a numeric character, about a negative characteristic, a negative sign will be attached before a numeric character on account of specification creation. In addition, in explanation of a drawing, the same sign is given to the same element, and the overlapping explanation is omitted.

[0014] (The 1st operation gestalt) Drawing 1 is drawing showing the SiC semiconductor 1 with which the ion-implantation layer 2 concerning the 1st operation gestalt was formed. The ion-implantation layer concerning the 1st operation gestalt is the ion-implantation layer 2 to which n type layer into which nitrogen (N) ion was injected has spread in {03-38} side of the 4H mold SiC-layer 3.

[0015] The manufacture method of the ion-implantation layer 2 concerning the 1st operation gestalt is explained. First, epitaxial growth of the (Aluminum aluminum) dope p mold 4HSiC layer 4 is carried out to the substrate 3 which has field bearing of 4HSiC {03-38}. the substrate 3 used here — amelioration Rayleigh — it produces by slicing and carrying out mirror polishing of the ingot which grew by law. A substrate 3 is p mold altogether, the effective acceptor density for which it asked from the capacity-voltage characteristic of the Schottky barrier is five to $8 \times 10^{18} \text{--}/\text{cm}^3$, and thickness is 360–420 micrometers. The main growth conditions of the p mold SiC layer 4 by the CVD method are as follows. The gas flow rate to introduce is set [$4 \text{ / SiH}_4 \text{ / } 0.5 \text{ sccm(s)}$ and $\text{ / C}_3\text{H}_4 \text{ / aluminum / } 3 \text{ / (CH}_3 \text{) / } 0.40 \text{ sccm(s)}$ and] to 3.0 slm(s) about $8 \times 10^{-4} \text{ sccm}$ and H_2 , and is grown up for 90 minutes at the substrate temperature of 1520 degrees C. The acceptor density of the p mold SiC layer 4 which grew according to such growth conditions is six to $8 \times 10^{15} \text{--}/\text{cm}^3$, and thickness is 5 micrometers.

[0016] Thus, N ion is injected into the produced p mold SiC layer 4, and the ion-implantation layer 2 is formed. Performing N ion implantation in four steps, 140keV(s), 80keV, 50keV, and 25keV, the total dose is 5×10^{14} to $2 \times 10^{16} \text{--}/\text{cm}^2$. A box profile with a depth of about 0.4 micrometers is formed by setting the dose ratio of each impregnation energy to 0.48 (140keV), 0.26 (80keV), 0.18 (50keV), and 0.08 (25keV). An ion implantation is performed at a room temperature or 500 degrees C, and heat treatment for impregnation ion activation is performed on 1000–1700 degrees C and the conditions for 30 minutes in an argon gas ambient atmosphere.

[0017] Next, the property of the ion-implantation layer 2 manufactured by the above-mentioned manufacture method is explained. Here, the property of the ion-implantation layer (henceforth “{03-38} side bearing ion-implantation layer”) 2 of having {03-38} side bearing is explained from {0001} sides as compared with the property of the ion-implantation layer (henceforth a “{0001} side bearing ion-implantation layer”) which spreads in the field bearing which has a 8-degree off angle. It differs in that the flow rate of aluminum (CH₃)₃ introduced in case it grows up the p mold SiC layer 4 with the manufacture method of the above-mentioned {03-38} side bearing ion-implantation layer 2, although the manufacture method of a {0001} side bearing ion-implantation layer is fundamentally the same is $2 \times 10^{-4} \text{ sccm}$.

[0018] First, in order to evaluate the crystallinity of an ion-implantation layer, channeling measurement of Rutherford back scattering (RBS) was performed. RBS measurement was measured on the conditions of 170 degrees of diffusion angles using the helium²⁺ ion of energy 2.0MeV. Drawing 2 is drawing showing the RBS spectrum of the sample (before or after room temperature impregnation and 1500-degree C annealing) of $5 \times 10^{15} \text{--}/\text{cm}^2$ of total doses. In the condition immediately after impregnation, the backscattering yield (yield) of {03-38} side bearing ion-implantation layer [a {0001} side bearing ion-implantation layer and] 2 at the time of a channeling [/ near the surface] corresponds with the yield at the time of random dispersion, and it turns out with a nearly perfect impregnation layer that it is amorphous. By the sample which performed 1500-degree C annealing, crystallinity is improved and the dispersion yield at the time of a channeling (aryne spectrum) is falling from the random spectrum. However, the big field bearing dependency was looked at by

the degree of the crystalline recovery. Even if it gives 1500-degree C annealing in a {0001} side bearing ion-implantation layer, the dispersion yield of an aryne spectrum is quite large, and reaches 20 – 40% of a random yield in an impregnation layer field (about 0.4 micrometers of the surface). Therefore, the {0001} side bearing ion-implantation layer of the recrystallization at the time of annealing is inadequate, and it turns out in it that many crystal defects remain. When cross-section transmission electron microscope (TEM) observation analyzed this sample, it actually became clear that a part of 4HSiC(s) were also polycrystal-ized around that 3 C-SiC grains are intermingled and this 3 C-SiC grain, and many grain boundaries and rearrangements were formed into 4HSiC layers which recrystallized. on the other hand, in {03-38} side bearing ion-implantation layer 2, it turns out that the dispersion yield at the time of a channeling became very small (1.2% at the time of random), and a non-poured in sample and until [comparable] crystallinity are recovered by annealing. It turned out that neither mixture of 3 C-SiC nor generating of a grain boundary and a rearrangement is observed also for cross-section TEM observation in {03-38} side bearing ion-implantation layer 2, but the outstanding recrystallization advances. Since periodic POTENNSHARU peculiar to SiC has appeared in the surface in {03-38} side bearing ion-implantation layer 2 to many atomic misalignment occurring since many sites where atomic arrangement is not uniquely decided by the process of recrystallization exist in a {0001} side bearing ion-implantation layer, even if this is recrystallization from a perfect amorphous substance, it is considered very smoothly to be for recrystallization without generating of a defect to progress.

[0019] next, the electrical property of an ion-implantation layer -- Juan Dear Pau (van der Pauw) -- law estimated. In order to start an ion-implantation layer on about 10mm square and to perform electrical isolation of an impregnation layer, mesa structure was produced by reactive ion etching so that 8mm angle of the center section might remain. Nickel (nickel: 180nm in thickness) was vapor-deposited in four corners of this mesa structure, and 950 degrees C and heat treatment for 20 minutes were performed. The Juan Dear Pau method and hall effect measurement investigated the sheet resistance of this sample, carrier density, and mobility. Drawing 3 is drawing showing the impregnation dose dependency of the sheet resistance of the sample which poured in N ion at the room temperature or the 500-degree C elevated temperature, and annealed at 1500 degrees C. In the case of a {0001} side bearing ion-implantation layer, the minimum values of sheet resistance are 420ohm/** (dose: 8×10^{14} /cm²) at room temperature impregnation in 710ohm/** (dose: 8×10^{14} /cm²), and 500-degree C elevated-temperature impregnation. Especially, in room temperature impregnation, if a dose exceeds 1×10^{15} /cm², sheet resistance will increase. It is thought that this cause is because many defects remain and activation of impregnation ion is barred even if it performs 1500-degree C annealing as-mentioned-above if a perfect amorphous field is formed of impregnation. On the other hand, in {03-38} side bearing ion-implantation layer 2, the minimum value of sheet resistance became 86ohms / ** (dose: 1×10^{16} /cm²) by room temperature impregnation by 120ohm/** (dose: 5×10^{15} /cm²), and 500-degree C elevated-temperature impregnation, and found that sharp reduction of sheet resistance was possible for room temperature impregnation and elevated-temperature impregnation. Considering industrialization of a device, the merit of room temperature impregnation at the point of the throughput at the time of manufacture of ion implantation equipment, operation cost, and an impregnation process is large. Therefore, the meaning from which sheet resistance also with low room temperature impregnation was obtained is very large by using 4HSiC {03-38} side.

[0020] Next, a dose is fixed to 5×10^{15} /cm², and the result of having investigated the annealing temperature dependency of the rate of electrical-activity-izing of the impregnation ion in an impregnation layer is shown in drawing 4 . Since N donor in SiC not necessarily ionized completely in the room temperature and did not supply the free electron, he defined the value which performed hall effect measurement from the room temperature to the 300-degree C elevated temperature, was all out and broke the sheet carrier density of a field by the dose as the rate of electrical-activity-izing. Even if it raises annealing temperature to 1700 degrees C, in a {0001} side bearing ion-implantation layer, the rate of activation does not become not much high, so that drawing 4 may show. Especially, in room temperature impregnation, the rate of activation has only been 10% or less. However, in {03-38} side bearing ion-implantation layer 2, it turns out that the rate of activation also with high room temperature impregnation is obtained. The high rate of activation of 84% can be attained also by the sample of room temperature impregnation and 1200-degree-C annealing, and about 100% of rate of activation is obtained by giving 1500-degree-C annealing. Incidentally, when the sample of room temperature impregnation and 1200-degree-C annealing compared, in the {0001} side bearing ion-implantation layer, in 2230ohm/**, and {03-38} side bearing ion-implantation layer 2, sheet resistance became [sheet resistance] 180ohms / **, and the improvement of single or more figures was found. The speed of recrystallization in {03-38} side bearing ion-implantation layer 2 is very quick, and it is comparatively thought also at low temperature that the good crystalline recovery property of about 1200 degrees C is shown. Thus, if {03-38} side bearing ion-implantation layer 2 is used, since n type layer of low resistance can be enough formed in a low-temperature process and the rate of contact resistance of an ohm nature electrode can also be reduced, it is effective in formation of n mold sources, such as a cathode of a pin diode, MOSFET, MESFET, and JFET, and a drain field, and leads to implementation of a high performance SiC device.

[0021] (The 2nd operation gestalt) The ion-implantation layer concerning the 2nd operation gestalt is an ion-implantation layer to which n type layer into which phosphorus (P) ion was injected has spread in {03-38} side of the 4H mold SiC. An ion-implantation layer is formed in the SiC layer which grew up to be a substrate like the SiC semiconductor explained with the 1st operation gestalt by the structure of a SiC semiconductor where the ion-implantation layer concerning the 2nd operation gestalt is formed. Therefore, illustration is omitted here.

[0022] The manufacture method of the ion-implantation layer concerning the 2nd operation gestalt is explained. First, epitaxial growth of the boron (B) dope p mold 4HSiC layer is carried out to the substrate which has field bearing of 4HSiC [03-38]. the substrate used here -- amelioration Rayleigh -- it produces by slicing and carrying out mirror polishing of the ingot which grew by law. All substrates are p molds, the effective acceptor density for which it asked from the capacity-voltage characteristic of the Schottky barrier is six to $8 \times 10^{18} \text{--}/\text{cm}^3$, and thickness is 380-420 micrometers. The main growth conditions of the p mold 4HSiC layer by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.50sccm(s) and / C₂H₂ / B-2 / H₆ / 0.66sccm(s) and] to 3.0slm(s) about 6×10^{-6} sccm and H₂, and is grown up for 110 minutes at the substrate temperature of 1500 degrees C. The acceptor density of the p mold SiC layer which grew according to such growth conditions is three to $5 \times 10^{15} \text{--}/\text{cm}^3$, and thickness is 5 micrometers.

[0023] Thus, P ion is poured into the produced SiC epitaxial wafer, and an ion-implantation layer is formed. Performing P ion implantation in five steps, 180keV(s), 120keV, 80keV, 40keV, and 20keV, the total dose is $5 \times 10^{15} \text{cm}^{-2}$. A box profile with a depth of about 0.3 micrometers is formed by setting the dose ratio of each impregnation energy to 0.42 (180keV), 0.21 (120keV), 0.13 (80keV), 0.10 (40keV), and 0.04 (20keV). An ion implantation is performed at a room temperature or 800 degrees C, and heat treatment for impregnation ion activation is performed on 1000-1700 degrees C and the conditions for 30 minutes in an argon gas ambient atmosphere.

[0024] Next, the property of the ion-implantation layer manufactured by the above-mentioned manufacture method is explained. Here, the property of an ion-implantation layer (henceforth "[03-38] side bearing ion-implantation layer") of having [03-38] side bearing from {0001} sides as compared with the property of the ion-implantation layer (henceforth a "[0001] side bearing ion-implantation layer") which spreads in the field bearing which has a 8-degree off angle is explained. It differs in that the flow rate of B-2 H₆ introduced in case it grows up a p mold SiC layer with the manufacture method of the above-mentioned [03-38] side bearing ion-implantation layer, although the manufacture method of a {0001} side bearing ion-implantation layer is fundamentally the same is 2×10^{-6} sccm.

[0025] the electrical property of an ion-implantation layer -- Juan Dear Pau (van der Pauw) -- law estimated. In order to start an ion-implantation layer on about 10mm square and to perform electrical isolation of an impregnation layer, mesa structure was produced by reactive ion etching so that 8mm angle of the center section might remain. Nickel (nickel: 180nm in thickness) was vapor-deposited in four corners of this mesa structure, and 950 degrees C and heat treatment for 20 minutes were performed.

[0026] Drawing 5 is drawing showing the annealing temperature dependency of the sheet resistance of an ion-implantation layer which performed the ion implantation at the room temperature or the 800-degree C elevated temperature. Although sheet resistance decreased in monotone with the rise of annealing temperature, the big field bearing dependency was observed by the absolute value of the sheet resistance. In the case of the {0001} side bearing ion-implantation layer, the low sheet resistance 94-97ohm/** was obtained by elevated-temperature impregnation and 1600-1700-degree C annealing, but even if it raised annealing temperature in room temperature impregnation to 1700 degrees C, sheet resistance has been reduced only to 285ohm/**. On the other hand, in the case of [03-38] side bearing ion-implantation layer, the low value 67ohm/** was acquired also by room temperature impregnation and 1200-degree-C annealing at 102ohm/**, room temperature impregnation, and 1500-degree-C annealing. Moreover, in [03-38] side bearing ion-implantation layer obtained by elevated-temperature impregnation, the outstanding value 56ohm/** was acquired by 1200-degree-C annealing. Thus, also in P ion implantation, when 4HSiC [03-38] side was used, it turned out that a good low resistance n type layer can be formed with a low impregnation temperature or low annealing temperature. This is considered for the speed of recrystallization to be very quick and to be because for low temperature to also show a good crystalline recovery property comparatively by 4HSiC [03-38].

[0027] Next, the rate of contact resistance of an ohm nature electrode was evaluated using the above-mentioned ion-implantation layer (10mm angle). the impregnation layer surface -- the electrode of the shape of a strip of paper with a width of face [of 20 micrometers], and a length of 200 micrometers -- the gap of 10-200 micrometers -- arranging -- TLM -- the rate of contact resistance of an electrode was measured by law. Drawing 6 is drawing (heat treatment of an electrode is fixed at 950 degrees C) showing the impregnation layer annealing temperature dependency of the rate of contact resistance corresponding to drawing 5. The field bearing dependency, the impregnation temperature, or the annealing temperature dependency of the rate of contact resistance showed the same orientation as the sheet resistance of drawing 5. That is, in order to obtain the about two 1×10^{-6} ohmcm low rate of contact resistance in the case of a {0001} side bearing ion-implantation layer, elevated-temperature impregnation and elevated-temperature annealing 1500 degrees C or more are required. On the other hand, in [03-38] side bearing ion-implantation layer, after room temperature impregnation, if annealing 1200 degrees C or more is performed, the about two 1×10^{-6} ohmcm low rate of contact resistance will be obtained. In [03-38] side bearing ion-implantation layer which performed 1500-degree-C annealing, the very low outstanding property of 4×10^{-7} ohmcm² was acquired after room temperature impregnation. This is because the rate of activation of impregnation ion is high as mentioned above in respect of 4HSiC [03-38] and very high-concentration doping is easy. Thus, if 4HSiC [03-38] side is used, since n type layer of low resistance can be enough formed in a low-temperature process and the rate of contact resistance of an ohm nature electrode can also be reduced, it is effective in formation of n mold sources, such as a cathode of Pin diode, MOSFET, MESFET, and JFET, and a drain field, and leads to implementation of a high performance SiC device.

[0028] (The 3rd operation gestalt) The ion-implantation layer concerning the 3rd operation gestalt is an

ion-implantation layer to which p type layer into which aluminum (aluminum) ion was injected has spread in [03-38] side of the 4H mold SiC. An ion-implantation layer is formed in the SiC layer which grew up to be a substrate like the SiC semiconductor explained with the 1st operation gestalt by the structure of a SiC semiconductor where the ion-implantation layer concerning the 3rd operation gestalt is formed. Therefore, illustration is omitted here.

[0029] The manufacture method of the ion-implantation layer concerning the 3rd operation gestalt is explained. First, epitaxial growth of the (Nitrogen N) dope n mold 4HSiC layer is carried out to the substrate which has field bearing of 4HSiC [03-38]. the substrate used here -- amelioration Rayleigh -- it produces by slicing and carrying out mirror polishing of the ingot which grew by law. All substrates are n molds, the effective acceptor density for which it asked from the capacity-voltage characteristic of the Schottky barrier is three to 6×10^{18} /cm³, and thickness is 380-400 micrometers. The main growth conditions of the n mold 4HSiC layer by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.50sccm(s) and / C₃H₄ / 2 / 0.66sccm(s) and / N₂ to 3.0slm(s) about 3×10^{-4} sccm and H₂, and is grown up for 90 minutes at the substrate temperature of 1520 degrees C. The donor density of the n mold 4HSiC layer which grew according to such growth conditions is three to 5×10^{15} /cm³, and thickness is 5 micrometers.

[0030] Thus, aluminum ion is poured into the produced SiC epitaxial wafer, and an ion-implantation layer is formed. Performing aluminum ion implantation in five steps, 180keV(s), 120keV, 80keV, 40keV, and 20keV, the total dose is 5×10^{15} cm⁻². A box profile with a depth of about 0.3 micrometers is formed by setting the dose ratio of each impregnation energy to 0.42 (180keV), 0.21 (120keV), 0.13 (80keV), 0.10 (40keV), and 0.04 (20keV). An ion implantation is performed at a room temperature or 500 degrees C, and heat treatment for impregnation ion activation is performed on 1000-1700 degrees C and the conditions for 30 minutes in an argon gas ambient atmosphere.

[0031] Next, the property of the ion-implantation layer manufactured by the above-mentioned manufacture method is explained. Here, the property of an ion-implantation layer (henceforth "[03-38] side bearing ion-implantation layer") of having [03-38] side bearing from [0001] sides as compared with the property of the ion-implantation layer (henceforth a "[0001] side bearing ion-implantation layer") which spreads in the field bearing which has a 8-degree off angle is explained. It differs in that the flow rate of N₂ introduced in case it grows up an n mold 4HSiC layer with the manufacture method of the above-mentioned [03-38] side bearing ion-implantation layer, although the manufacture method of a [0001] side bearing ion-implantation layer is fundamentally the same is 2×10^{-3} sccm.

[0032] the electrical property of an ion-implantation layer -- Juan Dear Pau (van der Pauw) -- law estimated. In order to start an ion-implantation layer on about 10mm square and to perform electrical isolation of an impregnation layer, mesa structure was produced by reactive ion etching so that 8mm angle of the center section might remain. Titanium/aluminum (Ti:thickness 20 nm/aluminum:250nm) was vapor-deposited in four corners of this mesa structure, and 900 degrees C and heat treatment for 20 minutes were performed.

[0033] Drawing 7 is drawing showing the annealing temperature dependency of the sheet resistance of the impregnation layer of the sample poured in at the room temperature or the 500-degree C elevated temperature. Considering device application, sheet resistance is not sufficient value, although sheet resistance comparatively low as the SiC 3200-3800ohm/** was obtained by elevated-temperature impregnation and annealing which is 1600-1700 degrees C when it was the [0001] side ion-implantation layer in which the big field bearing dependency was observed by the absolute value of the sheet resistance, although it decreased in monotone with the rise of annealing temperature. Even if it raised annealing temperature in room temperature impregnation to 1700 degrees C, sheet resistance was very as high as 18000ohms / **, and only the property acting as [when producing a high performance device] a serious failure was acquired. On the other hand, in the case of [03-38] side bearing ion-implantation layer, the low value 1240ohm/** was acquired also by room temperature impregnation and 1200-degree-C annealing at 2020ohm/**, room temperature impregnation, and 1500-degree-C annealing. Moreover, in [03-38] side bearing ion-implantation layer, when elevated-temperature impregnation was performed, the outstanding value 1080ohm/** was acquired by 1200-degree-C annealing. Thus, when 4HSiC(s) [03-38] side was used also in aluminum ion implantation, it turned out that a good low resistance p type layer can be formed with a low impregnation temperature or low annealing temperature. This is considered for the speed of recrystallization to be very quick and to be because for low temperature to also show a good crystalline recovery property comparatively by 4HSiC [03-38].

[0034] Next, the rate of contact resistance of an ohm nature electrode was evaluated using the above-mentioned ion-implantation layer (10mm angle). the impregnation layer surface -- the electrode of the shape of a strip of paper with a width of face [of 20 micrometers], and a length of 200 micrometers -- the gap of 10-200 micrometers -- arranging -- TLM -- the rate of contact resistance of an electrode was measured by law. Drawing 8 is drawing showing the impregnation layer annealing temperature dependency (heat treatment of an electrode is fixed at 900 degrees C) of the rate of contact resistance corresponding to drawing 7. The field bearing dependency, the impregnation temperature, or the annealing temperature dependency of the rate of contact resistance showed the same orientation as the sheet resistance of drawing 7. That is, in order to obtain the two or less 5×10^{-6} ohmcm low rate of contact resistance in the case of a [0001] side bearing ion-implantation layer, elevated-temperature impregnation and elevated-temperature annealing 1500 degrees C or more are required. On the other hand, in [03-38] side bearing ion-implantation layer, after room temperature impregnation, if annealing 1200 degrees C or more is performed, the two or less 3×10^{-6} ohmcm low rate of contact resistance will be obtained. In [03-38] side

bearing ion-implantation layer which performed 1500-degree-C annealing, the very low outstanding property of $8 \times 10^{-7} \text{ohmcm}^2$ was acquired after room temperature impregnation. This is because the rate of activation of impregnation ion is high as mentioned above in respect of 4HSiC {03-38} and very high-concentration doping is easy. Thus, if 4HSiC {03-38} side is used, since p type layer of low resistance can be enough formed in a low-temperature process and the rate of contact resistance of an ohm nature electrode can also be reduced, it is effective in formation of p mold base regions, such as an anode of Pin diode, MOSFET, and IGBT, and leads to implementation of a high performance SiC device.

[0035] Moreover, the atomic force microscope (AFM) investigated the surface smoothness of the surface of a high-dose ion-implantation layer. The measurement field was changed between 1 micrometer – 20 micrometer angles, and Rms (mean square) estimated surface roughness. A table 1 is a table showing the result compared on 10 micrometer square of measurement fields. As mentioned above, aluminum ion was poured in $5 \times 10^{15}/\text{cm}^2$ of total doses, and annealing was performed.

[0036]

[A table 1]

SiC表面の二乗平均粗さ(rms値)

	成長層	注入直後	1200℃ アニール後	1500℃ アニール後	1700℃ アニール後
(0001) θ° オフ面	0.34nm	0.36nm	1.48nm	2.27nm	6.81nm
{0338}面	0.27nm	0.28nm	1.17nm	1.56nm	1.72nm

(10μm×10μm領域)

[0037] On the surface of a {0001} side bearing ion-implantation layer, it turns out that a Rms value becomes [a Rms value] 0.16nm on the surface of 0.26nm and {03-38} side bearing ion-implantation layer, a value with the somewhat smaller {03-38} side bearing ion-implantation layer is acquired, and it excels in surface surface smoothness. In the case of the {0001} side bearing ion-implantation layer as which change was regarded after annealing although this Rms value hardly changed also in the condition immediately after impregnation, in order to form a low resistive layer, elevated-temperature annealing 1500 degrees C or more was needed, but when such elevated-temperature annealing was performed, the MACROSS tetraethylpyrophosphate with a width of face of 0.3–0.7 micrometers was formed in the surface, and surface surface smoothness got worse. By the sample of the elevated-temperature impregnation from which the lowest sheet resistance was obtained in the {0001} side bearing ion-implantation layer, and 1700-degree-C annealing, with the optical microscope, although the mirror plane was maintained, by AFM, the Rms value increased to 6.8nm and the clear surface dry area was observed. Formation of the MACROSS tetraethylpyrophosphate at the time of hot heat treatment is the phenomenon of the field proper produced in order for a SiC{0001} off side to reduce surface energy, and is not easy to control completely. On the other hand, in the case of {03-38} side bearing ion-implantation layer, the sample of the room temperature impregnation from which a low resistance p type layer is obtained, and 1200 – 1500-degree-C annealing of a Rms value is also as small as 1.2–1.6nm. Even if it performs 1700-degree C elevated-temperature annealing, the Rms value has stopped at 1.8nm. Since this has not introduced the off angle in respect of 4HSiC(s) {03-38}, it is conjectured to be because for the low field of surface energy to already have appeared and not to lower surface energy by formation of the MACROSS tetraethylpyrophosphate etc. Thus, it is effective in the improvement in the engine performance of a device that surface surface smoothness is maintained even if it performs hot heat treatment in 4HSiC {03-38} side. For example, since the surface smoothness of the Schottky barrier / SiC interface is maintained, a good property with little leakage current is expected. Moreover, since the surface smoothness of an oxide film / SiC interface is also good, the effect that the insulating property of an oxide film improves and that carrier dispersion of an interface is reduced and the channel mobility of metal-oxide-semiconductor structure improves is expected.

[0038] The device property of various semiconductor devices which applied the ion-implantation layer concerning this invention hereafter is explained.

[0039] (The example of the 1st application) The 1st example which applied the ion-implantation layer is schottky diode. The ion-implantation layer concerning this invention was applied, and the schottky diode 10 shown in drawing 9 was manufactured. The manufacture method of schottky diode 10 is explained.

[0040] the substrate 11 used for device production -- amelioration Rayleigh -- it produced by slicing and carrying out mirror polishing of the ingot which grew by law. A substrate 11 is n mold altogether, the carrier density for which it asked by hall effect measurement is $8-9 \times 10^{18} \text{cm}^{-3}$, and thickness is 160–210 micrometers. In order to pass current to a lengthwise direction in this device, it is effective to use lowering and the thin substrate 11 for resistance of a substrate 11. On {03-38} side of this substrate 11, the nitrogen dope n mold SiC layer 12 was grown epitaxially with the CVD method. An n mold SiC layer consists of buffer layer 12a and drift layer 12b, and, for buffer layer 12a, one to 5×10^{17} of donor densities cm^{-3} and thickness are [six to 8×10^{15} of donor densities cm^{-3} and the thickness of 2 micrometers and drift layer 12b] 12 micrometers. The main growth conditions of buffer layer 12a by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.30sccm(s) and / C₃H₄ / 2 / 0.30sccm(s) and / N₂ to 3.0slm(s) about 1×10^{-2} sccm and H₂, and is grown up for 45 minutes at the substrate temperature of 1550 degrees C. Moreover, the main growth conditions of drift layer 12b by the CVD method are as follows. The gas flow rate

to introduce is set [4 / SiH₄ / 0.50sccm(s) and / C₃H₄ / 2 / 0.50sccm(s) and / N₂] to 3.0slm(s) about 4x10⁻⁴sccm and H₂, and is grown up for 200 minutes at the substrate temperature of 1550 degrees C. [0041] Thus, the schottky diode 10 of the structure shown in drawing 9 was produced using the produced SiC epitaxial wafer. In order to control electric-field concentration in a shot key electrode edge, and dielectric breakdown, p mold guard ring 14 with a width of face [of 150 micrometers] and a depth of 0.5 micrometers was formed in the perimeter of a shot key electrode. The guard ring 14 was formed by the boron (B) ion implantation. The total dose of the energy of B ion implantation is 1.1x10¹³ /cm² in 30–280keV. SiO₂ film (5 micrometers in thickness) formed by aluminum (4 micrometers in thickness) or CVD was used for the mask of an ion implantation. Heat treatment for impregnation ion activation was performed on 1500 degrees C and the conditions for 30 minutes among the argon gas ambient atmosphere. The thermal oxidation film 19 was formed by 1150 degrees C and the wet oxidation of 2 hours after annealing, and the SiN film with a thickness of 800nm was further deposited by CVD. Next, nickel (200nm in thickness) was vapor-deposited at the rear face, 1000 degrees C and heat treatment for 20 minutes were performed at it, and the ohmic electrode 18 was formed in it. Subsequently, Ti/aluminum (Ti:200 nm/aluminum:850nm) was vapor-deposited and the shot key electrode 16 was formed in the surface side. The shot key electrode 16 made it stabilize by performing 500 degrees C and heat treatment for 30 minutes. The surface of schottky diode applied and protected polyimide 17. The lap of the shot key electrode 16 and the guard ring field 14 is 20 micrometers, and the diameter of the shot key electrode 16 is 300micrometerphi–3mmphi. Photolithography technology was used for these guard rings 14 and electrode pattern formation. [0042] Next, the property of the schottky diode 10 shown in produced drawing 9 is explained. Here, the property of the schottky diode (henceforth "[38 [03–]] schottky diode") 10 which applied [03–38] side bearing ion-implantation layer is explained as compared with the schottky diode (henceforth "[0001] schottky diode") which applied the [0001] side bearing ion-implantation layer. In addition, although the manufacture method of [0001] schottky diodes is fundamentally [as the manufacture method of the [03–38] schottky diode 10] the same, it differs in that N₂ flow rate introduced in case the point that the flow rate of N₂ introduced in case a buffer layer is grown up is 8x10⁻²sccm, and a drift layer are grown up is 3x10⁻³sccm.

[0043] Drawing 10 is drawing showing the typical current-voltage characteristic of schottky diode (1mmphi). The field bearing dependency of the forward characteristic of a crystal was small, and the good value of on resistance 3 – 4momegacm² was acquired. the piece of a forward characteristic -- a logarithm -- the ideal factor N-ary calculated from the plot was 1.02–1.05, and obstruction height was set to 1.08eV with [0001] schottky diodes, and it was set to 1.16eV with the [03–38] schottky diode 10. Pressure-proofing beyond 1500V is attained in a reverse characteristic, and, moreover, the leakage current at the time of –1000V impression is also as small as about two 10⁻⁴ A/cm. Although the same diode characteristics were obtained also with [0001] schottky diodes for the small diode whose shot key electrode 16 is 300 micrometers phi–1mmphi degree, the big difference among both was seen for diode with a large electrode area. Drawing 11 is drawing showing the electrode area dependency of the resisting pressure (average) of the [03–38] schottky diode 10 and [0001] schottky diodes. About each electrode area, at least 40 diodes were measured and the pressure-proof average was calculated. In [0001] schottky diodes, if electrode area exceeds 7.9x10 to 3 cm² (1mmphi), pressure-proofing will fall rapidly. On the other hand, the [03–38] schottky diode 10 is maintaining high pressure-proofing also in the electrode area of 7x10 to 2 cm² (3mmphi). When it asked for the yield on the basis of resisting pressure 1200V for the diode of this 3mmphi, with the [03–38] schottky diode 10, it became 72% 13% with [0001] schottky diodes. Moreover, when diode with an electrode diameter phi] of 3mm compared the average of the leak current density not only at pressure-proofing but the time of –1000V impression, with [0001] schottky diodes, with 9x10⁻² A/cm² and the [03–38] schottky diode 10, it became 3x10⁻⁴ A/cm², and the difference of double or more figures was accepted. By using 4HSiC [03–38] side, penetration of the micro pipe from a substrate 11 or a plug rearrangement is controlled, and this is considered to be because for the high quality SiC crystal to have been obtained. Moreover, by using 4HSiC [03–38] side, the surface smoothness of the growth surface and the surface of the guard ring section 14 formed by the ion implantation becomes good, and is considered that the effect that the electric-field concentration by the 16/SiC interface of shot key electrodes is reduced has also contributed. Although the guard ring 14 was formed by B ion implantation in this example of application, even when aluminum ion implantation is used, there is same effect.

[0044] (The example of the 2nd application) The 2nd example which applied the ion-implantation layer is planar mold pn diode. The ion-implantation layer concerning this invention was applied, and the planar mold pn diode 20 shown in drawing 12 was manufactured. The manufacture method of the planar mold pn diode 20 is explained.

[0045] the substrate 21 used for device production -- amelioration Rayleigh -- it produced by slicing and carrying out mirror polishing of the ingot which grew by law. A substrate 21 is n mold altogether, the carrier density for which it asked by hall effect measurement is 8–9x10¹⁸cm⁻³, and thickness is 160–210 micrometers. On [03–38] side of this substrate 21, the nitrogen dope n mold SiC layer 22 was grown epitaxially with the CVD method. A growth phase consists of buffer layer 22a and drift layer 22b, and, for buffer layer 22a, donor density 1–5x10¹⁷cm⁻³ and thickness are [donor density 1–2x10¹⁵cm⁻³ and the thickness of 4 micrometers and drift layer 22b] 76 micrometers. The main growth conditions of buffer layer 22a by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.30sccm(s) and / C₃H₄ / 2 / 1.5sccm(s) and / N₂] to 3.0slm(s) about 8x10⁻²sccm and H₂, and is grown up for 10 minutes under the substrate temperature of 1750 degrees C, and the pressure of 100Torr. Moreover, the main growth conditions of drift layer 22b by the CVD method are as follows. The gas flow rate to introduce is set

[4 / SiH₄ / 15sccm(s) and / C₃H₄ / 2 / 4.5sccm(s) and / N₂] to 3.0slm(s) about 1x10⁻³sccm and H₂, and is grown up for 180 minutes under the substrate temperature of 1750 degrees C, and the pressure of 100Torr.

[0046] Here, in order to obtain high pressure-proofing, high-speed growth in an elevated temperature was performed so that a high grade and a thick-film growth phase could be formed in a short time. Thus, the planar mold pn diode 20 of the structure shown in drawing 12 was produced using the produced SiC epitaxial wafer. First, in order to form p mold anode 24, aluminum ion was poured in in seven steps, 720keV(s), 400keV, 280keV, 160keV, 80keV, 40keV, and 20keV. The total dose is 1.3x10¹⁵-/cm². The dose of each impregnation energy 2.7x10¹³-/cm² (720keV), 1.8x10¹³-/cm² (400keV) and 1.2x10¹³-/cm² (280keV), By being referred to as 1.0x10¹³-/cm² (160keV), 7.2x10¹⁴-/cm² (80keV), 4.2x10¹⁴-/cm² (40keV), and 1.3x10¹⁴-/cm² (20keV) The doping profile from which about 0.2 micrometers of surfaces serve as a three or more 1020-/cm high concentration layer among p type layers with a depth of about 0.7 micrometers was formed. Next, in order to control electric-field concentration in p mold anode field edge, and dielectric breakdown, p mold guard ring 23 with a width of face [of 300 micrometers] and a depth of 0.7 micrometers was formed in this perimeter. The guard ring 23 was also formed by aluminum ion implantation. The energy of aluminum ion implantation is the same and a total dose is 1.0x10¹³cm⁻² in seven steps of 20-720keV. At the time of formation of a guard ring 23, it designed so that an impregnation layer might serve as a box profile. All ion implantations were performed at the room temperature, and SiO₂ film (6 micrometers in thickness) formed by aluminum (5 micrometers in thickness) or CVD was used for the mask of an ion implantation. Heat treatment for impregnation ion activation was performed on 1500 degrees C and the conditions for 30 minutes among the argon gas ambient atmosphere. The thermal oxidation film was formed by 1150 degrees C and the wet oxidation of 2 hours after annealing, and SiO₂ film 30 with a thickness of 800nm was further deposited by CVD. Next, nickel (200nm in thickness)29 was vapor-deposited at the rear face, nickel/aluminum (nickel:200 nm/aluminum:1200nm)27 was vapor-deposited to the surface side, 1000 degrees C and heat treatment for 20 minutes were performed, and the ohmic electrode 27 was formed. The surface of diode applied and protected polyimide 28. The size of p mold anode is 3mm angle (area 0.09cm²). [0047] Next, the property of the planar mold pn diode 20 shown in produced drawing 12 is explained. Here, the property of the planar mold pn diode (henceforth "[03-38] planar mold pn diode") 20 which applied [03-38] side bearing ion-implantation layer is explained as compared with the planar mold pn diode (henceforth "[0001] planar mold pn diode") which applied the [0001] side bearing ion-implantation layer. In addition, although the manufacture method of [0001] planar mold pn diode is fundamentally [as the manufacture method of the [03-38] planar mold pn diode 20] the same, it differs in that N₂ flow rate introduced in case the point that the flow rate of N₂ introduced in case a buffer layer is grown up is 6x10⁻¹sccm, and a drift layer are grown up is 4x10⁻²sccm.

[0048] Drawing 13 is drawing showing the typical current-voltage characteristic of planar mold pn diode (3mm angle). The field bearing dependency with clear forward direction and reverse characteristic was seen. If its attention is first paid to a forward characteristic, current cannot flow comparatively easily and, as for [0001] planar mold pn diode, electric conduction will be governed by the series resistance (on resistance) of about 12 momegacm² beyond about 5A. On the other hand, for the [03-38] planar mold pn diode 20, on resistance was very as small as 2 - 3momegacm², and the [03-38] planar mold pn diode 20 with which current increases rapidly in a field higher than the standup voltage of about 2.8 V was able to attain the high current 30A (333 A/cm²), by the voltage drop of 3.9V. Since what current cannot flow to easily for [0001] planar mold pn diode compared with [03-38] planar mold pn diode has the low rate of electrical-activity-izing of the high concentration p type layer formed in the surface section of p mold anode when 4HSiC [0001] was used, it is considered to be the causes that resistance is high and that the contact resistance of the electrode to this p type layer is high. If 4HSiC(s) [03-38] are used, since low resistance and a high concentration p type layer can also form room temperature impregnation, resistance and contact resistance of this portion can be reduced sharply. Moreover, for the [03-38] planar mold pn diode 20, high pressure-proofing of 8860V was able to be obtained to pressure-proofing of [0001] planar mold pn diode having stopped at 5210V by the reverse characteristic. - The leakage current at the time of 4500V impression became 5x10⁻⁸ A/cm² with [0001] planar mold pn diode for 3x10⁻⁵ A/cm² and the [03-38] planar mold pn diode 20, and the too clear difference was seen. Moreover, when its attention was paid to the avalanche current at the time of dielectric breakdown, for the [03-38] planar mold pn diode 20, the stable property of not resulting in physical destruction of diode even if it increases current to 5A (55 A/cm²) at the time of dielectric breakdown was acquired. However, for the [0001] planar mold pn diode 20, when 1A (11 A/cm²) was exceeded, the diode to which a rectifying characteristic gets worse remarkably by physical destruction occupied most. By using 4HSiC [03-38] side, penetration of the micro pipe from a substrate 21 or a plug rearrangement is controlled, and this is considered to be because for the high quality SiC crystal to have been obtained.

[0049] Moreover, although a field bearing dependency was not looked at by especially the long-term reliability of the switching characteristic between +4V of the produced planar mold pn diode, and -1000V, or the off property (-3000V) in an elevated temperature (300 degrees C), the difference by field bearing was accepted in the long-term reliability of an ON property (200 A/cm²). Drawing 14 is drawing which plotted the forward voltage drop when continuing passing forward current 18A (200 A/cm²) for a long time to the [03-38] planar mold pn diode 20 and [0001] planar mold pn diode. For [0001] planar mold pn diode, a voltage drop began to increase from the neighborhood beyond about 3000 sec(s), and it increased from 3.6V to 4.7V of the first stage after 10000sec. However, for the [03-38] planar mold pn diode 20, a voltage drop is 3.7V and after 10000sec(s) has hardly deteriorated. In order to investigate this cause, when the diode which

performed the long-term reliability trial was observed with the transmission electron microscope (TEM), for the {0001} planar mold pn diode which deteriorated, it turned out that many stacking faults have occurred in {0001} sides, and that generating of such a stacking fault is not seen for the {03-38} planar mold pn diode 20. Although the developmental mechanics of this stacking fault now is not clear, the energy emitted by carrier recombination at the time of a forward bias causes generating of partial dislocation in a portion with a large crystal distortion, and when this partial dislocation is extended in a closest packing side, it is known for the light emitting diode of an III-V group semiconductor that a stacking fault will be formed. Also in {0001} planar mold pn diode, the phenomenon same at the time of a forward bias happens, and what the stacking fault generated in the {0001} sides equivalent to a closest packing side is conjectured. Since Si and C atom are moderately intermingled in respect of this, the reason generating of such a stacking fault is controlled in the case of the {03-38} planar mold pn diode 20 considered that the minority carrier life fell and the forward voltage drop increased under the effect of this stacking fault is considered for the distortion in a PN-junction interface to be very small, and to be hard to generate defects, such as partial dislocation and a stacking fault. Moreover, since damage can remove nearly completely by annealing after an ion implantation, it has contributed that there is also very little aggregate of the distortion and the point defect which become the trigger of defective generating. In addition, although the guard ring 23 was formed by aluminum ion implantation in this example, even when B ion implantation is used, there is same effect.

[0050] (The example of the 3rd application) The 3rd example which applied the ion-implantation layer is the N channel reversal MOSFET. The ion-implantation layer concerning this invention was applied, and the N channel reversal MOSFET 40 shown in drawing 15 was manufactured. The manufacture method of the N channel reversal MOSFET 40 is explained.

[0051] the used substrate 41 -- amelioration Rayleigh -- it produced by slicing and carrying out mirror polishing of the ingot which grew by law. A substrate 41 is p mold altogether, the effective acceptor density for which it asked from the capacity-voltage characteristic of the Schottky barrier is three to $5 \times 10^{18} \text{--}/\text{cm}^3$, and thickness is 380-420 micrometers. To {03-38} side of this substrate 11, the boron dope p mold SiC layer 42 was grown epitaxially with the CVD method. The acceptor density of the p mold SiC growth phase 42 is five to $8 \times 10^{15} \text{--}/\text{cm}^3$, and thickness is 4 micrometers. The growth conditions of the p mold SiC layer 42 by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.50sccm(s) and / C₃H₈ / B-2 / H₂ / 0.66sccm(s) and] to 3.0slm(s) about 1×10^{-5} sccm and H₂, and is grown up for 100 minutes at the substrate temperature of 1500 degrees C.

[0052] Thus, the N channel reversal mold MOSFET 40 of the structure shown in drawing 15 was produced using the produced SiC epitaxial wafer. First, RCA washing of the sample was carried out, and after carrying out HF DIP, gate oxide 48 was formed by wet oxidation. Oxidation conditions are 1100 degrees C and 25 minutes. The thickness of gate oxide 48 is 46-53nm. An argon ambient atmosphere and annealing for 30 minutes were performed at the same temperature as oxidation after wet oxidation.

[0053] Next, with the reduced pressure CVD method which used SiH₄ for material gas, Polycrystal Si (1.6 micrometers in thickness) was deposited at 700 degrees C, phosphorus (P) was diffused at 900 degrees C using POCl₃, and the low resistance n mold polycrystal Si was formed. Patterning of this polycrystal Si was carried out to four by reactive ion etching using OCF₂ gas, and the polycrystal Si gate 47 with a width of face [of 4 micrometers] and a width of face of 200 micrometers was formed. Then, nitrogen (N) ion was poured into the mask for this polycrystal Si gate electrode, and the source field 44 and the drain field 43 were formed. Performing N ion implantation in four steps, 120keV(s), 70keV, 40keV, and 25keV, the total dose is $2 \times 10^{15} \text{--}/\text{cm}^2$. The ion implantation was performed at the room temperature and heat treatment for impregnation ion activation was performed on 1200 degrees C and the conditions for 30 minutes among the argon gas ambient atmosphere.

[0054] Next, titanium/aluminum (Ti:30nm, aluminum:250nm) was formed as the source electrode 46 and a drain electrode 45, and heat treatment for 30 minutes was performed at 850 degrees C. Photolithography technology was used for patterning of these masks for alternative ion implantations and electrode metals. The self-align process used here is effective not only in reduction of the number of masks of device production, and reduction of a routing counter but reduction of the parasitic capacitance between detailed-izing of a device, and a gate drain, and between the gate sources.

[0055] Next, the property of the N channel reversal MOSFET 40 shown in produced drawing 15 is explained. Here, the property of the N channel reversal (henceforth "[03-38] N-channel reversal MOSFET") MOSFET 40 which applied {03-38} side bearing ion-implantation layer is explained as compared with the N channel reversal MOSFET (henceforth "the {0001} N-channel reversal MOSFET") which applied the {0001} side bearing ion-implantation layer. In addition, although the manufacture method of the {0001} N-channel reversal MOSFET is fundamentally [as the manufacture method of {03-38} N-channel reversal MOSFET 40] the same, the point that the flow rate of B-2 H₂ introduced in case a p mold SiC layer is grown up is 4×10^{-6} sccm differs from the point that the conditions of annealing after wet oxidation are 1150 degrees C and 2 hours. When they use {03-38} side, the conditions of annealing differ compared with the case where {0001} sides are used, because the oxidation rate is very quick.

[0056] Drawing 16 is drawing showing the typical gate property (linearity field of drain voltage 0.1V) of MOSFET. As shown in drawing 16, the linearity field and saturation region of produced MOSFET clear in a drain property were seen, and the actuation as an MOSFET was checked. Even if the {0001} N-channel reversal MOSFET shows high threshold voltage called 9.8V and increases gate voltage to 15V, drain current has stopped below at 1microA. On the other hand, {03-38} N-channel reversal MOSFET 40 had threshold voltage as low as 4.4V, and the good property that drain current starts steeply to increase of gate voltage was acquired. The effective channel mobility in the linearity field for which it asked from this gate property

was able to attain one about 20 times the high channel mobility of this by being set to $2/V_s$ 86cm²/Vs by the {0001} N-channel reversal MOSFET by $2/V_s$ and {03-38} N-channel reversal MOSFET 40, and using 4HSiC(s) {03-38}. The electric field effect mobility for which it asked in the saturation region also became 72cm²/Vs by the {0001} N-channel reversal MOSFET by 3.1cm²/Vs and {03-38} N-channel reversal MOSFET 40, and the big difference was seen.

[0057] The difference arising from field bearing of this MOSFET property is mainly based on three causes. One is the difference in the quality of an MOS interface. The capacity-voltage characteristic of an MOS capacitor and the temperature characteristic of MOSFET show that the defect density of an MOS interface is figure [single / about] fewer than 4HSiC(s) {0001} side in respect of 4HSiC(s) {03-38}. Therefore, in {03-38} N-channel reversal MOSFET 40, since neither an electronic trap nor dispersion can take place easily in an inversion layer, high channel mobility is obtained. The second reason is the difference in the surface smoothness of an MOS interface. If the ion implantation of high dose is carried out to 4HSiC {0001} side and annealing is performed as mentioned above, the MACROSS tetraethylpyrophosphate will occur and surface surface smoothness will get worse. Since the surface smoothness which was excellent in respect of 4HSiC(s) {03-38} to which channel mobility also falls even if it performed the ion implantation of high dose and annealing will be maintained if it is sensitive to the surface smoothness of such an MOS interface and surface smoothness gets worse, since an MOS inversion layer channel is very thin, high channel mobility is obtained. Another reason is the contact resistance of the source field 44 and an ohm nature electrode. As a result of evaluating the test pattern produced on the wafer same at the time of production of the N channel reversal MOSFET, it turned out that the sheet resistance of n mold source field formed in this process is 210ohm/** in respect of 4HSiC(s) {0001} in respect of 2300ohm/**, and 4HSiC {03-38}. Moreover, the rate of contact resistance to this source field 44 was 3×10^{-6} ohmcm² in respect of 4HSiC(s) {0001} in respect of 8×10^{-4} ohmcm² and 4HSiC {03-38}. Thus, it has also contributed greatly by using 4HSiC {03-38} side that the parasitism resistance component has been reduced single or more figures to improvement in the above-mentioned MOSFET property. Conventionally, in the device process of SiC, since the annealing temperature which activation and damage reduction of an ion-implantation layer take is higher than the melting point (1420 degrees C) of Si, application of a self-align process has been made difficult. However, since room temperature impregnation also reduced the annealing temperature after an ion implantation sharply by using 4HSiC {03-38} side, even if it adopted the self-align process, it turned out that high-performance MOS FET is producible. Although the N channel reversal MOSFET was described, if the activity of 4HSiC(s) {03-38} side uses very effective 4HSiC(s) {03-38} side and uses a low-temperature ion-implantation process also for the P channel-reversal MOSFET which forms a source field and a drain field, and production of a CMOS device by aluminum ion implantation here, implementation of elevated-temperature actuation high-speed integrated circuits, such as a detailed CMOS logic gate and an operational amplifier, is possible.

[0058] (The example of the 4th application) The 4th example which applied the ion-implantation layer is N channel vertical mold DI(Double Implanted) MOSFET. The ion-implantation layer concerning this invention, was applied, and the N channel vertical mold DIMOSFET50 shown in [drawing 17](#) was manufactured. Although Si power metal-oxide semiconductor field effect transistor of a vertical mold is produced by processes, such as double diffusion, in SiC, ion-implantation technology becomes indispensable forming p mold well, n mold source, etc. With this structure, pressure-proofing is maintained by the pn junction of n mold drift layer formed with p mold field formed by the ion implantation, and epitaxial growth. The manufacture method of the N channel vertical mold DIMOSFET50 is explained.

[0059] the substrate 51 used for device production — amelioration Rayleigh — it produced by slicing and carrying out mirror polishing of the ingot which grew by law. A substrate 51 is n mold altogether, the carrier density for which it asked by hall effect measurement is eight to 9×10^{18} —/cm³, and thickness is 160–210 micrometers. In order to pass current to a lengthwise direction in this device, it is effective to use lowering and the thin substrate 51 for resistance of a substrate 51. On {03-38} side of this substrate 51, the nitrogen dope n mold SiC layer 52 was grown epitaxially with the CVD method. A growth phase consists of buffer layer 52a and drift layer 52b, and, for buffer layer 52a, donor density $1-5 \times 10^{17}$ cm⁻³ and thickness are donor density $5-6 \times 10^{15}$ cm⁻³ and the thickness of 2 micrometers and drift layer 52b] 18 micrometers. The main growth conditions of buffer layer 52a by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.30sccm(s) and / C₃H₄ / 2 / 0.30sccm(s) and / N₂] to 3.0slm(s) about 1×10^{-2} sccm and H₂, and is grown up for 45 minutes at the substrate temperature of 1550 degrees C. Moreover, the main growth conditions of drift layer 52b by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.50sccm(s) and / C₃H₄ / 2 / 0.40sccm(s) and / N₂] to 3.0slm(s) about 2×10^{-4} sccm and H₂, and is grown up for 250 minutes at the substrate temperature of 1550 degrees C.

[0060] Thus, the vertical mold DIMOSFET50 of the structure shown in [drawing 17](#) was produced using the produced SiC epitaxial wafer. First, aluminum (aluminum) ion was poured in and p mold well field 53 of a depth of 0.7 micrometers, acceptor density 0.5 [about] -3×10^{17} —/cm³ was formed. Performing aluminum ion implantation in six steps, 560keV(s), 420keV, 300keV, 180keV, 100keV, and 50keV, the total dose is 1.4×10^{13} —/cm². At this time, in order to obtain channel mobility high [that three or more 10^{17} /cm density and a shallow field reduce the threshold voltage for obtaining an n-type inversion layer] in order that the deep field of p mold well 53 may ease electric-field concentration near the cementation, it designed and produced so that it might become the dopant density of three 10^{16} —/cm.

[0061] Next, for formation of the source field 54 and the drain field 55, phosphorus (P) ion was poured in and the low resistance n mold field was produced. Performing P ion implantation in four steps, 180keV(s), 110keV, 60keV, and 30keV, the total dose is 2×10^{15} —/cm². Both ion implantations were performed at the

room temperature. Moreover, in order to control dielectric breakdown in a device edge, p mold guard ring with a width of face [of 250 micrometers] and a depth of 0.7 micrometers was prepared in the perimeter of an active region. The guard ring was formed by the boron (B) ion implantation. The total dose of the energy of B ion implantation is $1.2 \times 10^{13} \text{cm}^{-2}$ in 30–360keV. SiO₂ film (6 micrometers in thickness) formed by aluminum (5 micrometers in thickness) or CVD was used for the mask of an ion implantation. Heat treatment for impregnation ion activation was performed on 1500 degrees C and the conditions for 30 minutes among the argon gas ambient atmosphere. Channel length is 2 micrometers and a cel pitch (stripe geometry) is 22 micrometers.

[0062] Next, RCA washing of the sample was carried out, and after carrying out HF DIP, gate oxide 58 was formed by dry oxidation. Oxidation conditions are 1150 degrees C and 25 minutes, and the thickness of the gate oxide formed is 44–51nm.

[0063] The polycrystal Si with a thickness of about 1 micrometer was deposited at the substrate temperature of 850 degrees C with the reduced pressure CVD method after this gate oxidation, phosphorus was doped by 850-degree C diffusion, and the low resistance n mold polycrystal Si was formed. Next, by reactive ion etching, this polycrystal Si was etched partially and the gate electrode 60 was produced. Next, SiO₂ film 60 for the insulation between gate drains (about 0.8 micrometers in thickness) was deposited by the plasma-CVD method with a substrate temperature of 500 degrees C. Then, nickel (nickel: 200nm) was vapor-deposited all over the rear face, and it considered as the drain electrode 59. To the source electrode 56 by the side of the surface, good ohmic contact was acquired using nickel/aluminum (nickel:100 nm/aluminum:400nm) by performing heat treatment for 15 minutes for both electrodes at 950 degrees C. Photolithography technology was used for patterning of these masks for alternative ion implantations and electrode metals. The area of the active region of this vertical mold MOSFET 50 is 9×10 to 2 cm^2 (3mm angle).

[0064] Next, the property of the N channel vertical mold DIMOSFET50 shown in produced drawing 17 is explained. Here, the property of the N channel vertical mold DIMOSFET(henceforth "[03-38] N-channel vertical mold DIMOSFET") 50 which applied [03-38] side bearing ion-implantation layer is explained as compared with the N channel vertical mold DIMOSFET (henceforth "the [0001] N-channel vertical mold DIMOSFET") which applied the [0001] side bearing ion-implantation layer. In addition, although the manufacture method of the [0001] N-channel vertical mold DIMOSFET is fundamentally [as the manufacture method of [03-38] N-channel vertical mold DIMOSFET50] the same It differs in that the oxidation conditions for forming the point that the flow rate of N₂ introduced in case the point that the flow rate of N₂ introduced in case a buffer layer is grown up is $8 \times 10^{-2} \text{ sccm}$, and a drift layer-are-grown up is $2 \times 10^{-3} \text{ sccm}$, and gate oxide are 1150 degrees C and 3 hours.

[0065] Drawing and drawing 19 which show the typical drain property of the vertical mold [in / in drawing 18 / a low drain voltage field] DIMOSFET (3mm angle) are drawing showing the typical drain property of the vertical mold DIMOSFET in a high drain voltage field (3mm angle). Although a clear linearity field and a clear saturation region were seen and both the [0001] N-channel vertical mold DIMOSFET and [03-38] N-channel vertical mold DIMOSFET50 operated as an MOSFET, the too big difference was looked at by the property. Even if the [0001] N-channel vertical mold DIMOSFET increases gate voltage to 15V, drain current has stopped at 500mA or less. On the other hand, the drain current more than 9A (100 A/cm^2) flowed on comparatively small gate voltage and drain voltage, and [03-38] N-channel vertical mold DIMOSFET50 attained 9A (100 A/cm^2) by drain voltage 3.4V, when it was gate voltage 15V. When on resistance was estimated from this property, it was set to $34 \text{ m}\Omega \text{cm}^2$, and the very good value was acquired. Incidentally, in the [0001] N-channel vertical mold DIMOSFET, on resistance was as large as $970 \text{ m}\Omega \text{cm}^2$. On the other hand, it is because MOS channel mobility improved sharply by using 4HSiC(s) [03-38] for one that whose on resistance was small in [03-38] N-channel vertical mold DIMOSFET50. Both reduction of the defect density of an MOS interface and the outstanding surface smoothness have contributed to improvement in this channel mobility. In the [0001] N-channel vertical mold DIMOSFET, since channel mobility is very low, on resistance will be governed by not resistance of a drift region but MOS channel resistance. Moreover, the second important reason is the differences of the contact resistance of the source field 54 and an ohm nature electrode. As a result of evaluating the test pattern formed on the wafer same at the time of production of the N channel vertical mold DIMOSFET, it turned out that the sheet resistance of n mold source field formed in this process is $110 \Omega/\square$ in respect of 4HSiC(s) [0001] in respect of $1260 \Omega/\square$, and 4HSiC [03-38]. Moreover, the rate of contact resistance to this source field was $3 \times 10^{-6} \Omega \text{cm}^2$ in respect of 4HSiC(s) [0001] in respect of $9 \times 10^{-4} \Omega \text{cm}^2$ and 4HSiC [03-38]. Thus, it has also contributed greatly by using 4HSiC [03-38] side that the parasitism resistance component has been reduced single or more figures to improvement in the above-mentioned MOSFET property.

[0066] Next, when the drain pressure-proofing at gate voltage 0 V:00 (OFF state) was investigated about DIMOSFET of this 3mm angle, it is 1720V and [03-38] with the [0001] N-channel vertical mold DI MOSFET. It was set to 2680V with the N channel vertical mold DIMOSFET50, and the big difference was seen. This is considered to be because for the defect density, especially micro pipe density of 52 in a SiC epitaxial growth phase which becomes a device active region by using 4HSiC(s) [03-38] to have been reduced. [03-38] N-channel vertical mold of this 3mm angle At DIMOSFET50, the ON state current more than 10A was able to be passed by gate voltage 15V and drain voltage 3.8V.

[0067] (The example of the 5th application) The 5th example which applied the ion-implantation layer is RF MESFET. The ion-implantation layer concerning this invention was applied, and RF MESFET70 shown in drawing 20 was manufactured. The manufacture method of RF MESFET70 is explained.

[0068] the used substrate 71 -- amelioration Rayleigh -- it produced by slicing and carrying out mirror

polishing of the ingot which grew by law. The resistivity which a substrate 71 is the high resistance wafer produced with undoping growth, and was estimated from the current-voltage characteristic is 106-ohmcm, and thickness is 280-320 micrometers. Field bearing of a substrate 71 is [03-38]. On this substrate 71, buffer layer 72a of undoping and (Nitrogen N) dope n-type channel layer 72b were continuously grown epitaxially with the CVD method. For the effective donor density of buffer layer 72a, three or less 1×10^{14} -/cm and thickness are [3×10^{17} /cm³ and the thickness of the donor density of 5 micrometers and a channel layer] 0.2 micrometers. The main growth conditions of buffer layer 72a by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.30sccm(s) and / C₃H₈] to 3.0slm(s) about 0.50sccm(s) and H₂, and is grown up for 120 minutes at the substrate temperature of 1520 degrees C. Moreover, the main growth conditions of channel layer 72b by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.15sccm(s) and / C₃H₈ / 2 / 0.10sccm(s) and / N₂] to 3.0slm(s) about 2×10^{-2} sccm and H₂, and is grown up for 10 minutes at the substrate temperature of 1520 degrees C. [0069] Thus, RF MESFET70 of the structure shown in drawing 20 was produced using the produced SiC epitaxial wafer. First, aluminum (1.5 micrometers in thickness) formed by vacuum evaporation and the photolithography was used for the mask, and the slot for isolation was formed by reactive ion etching (RIE). SF₆ and O₂ were used for etching gas, and they were performed to RIE on condition that pressure 0.08Torr and high-frequency power 120W. The etch rates at this time are about 60 nm/min, and formed the slot with a depth of about 1.2 micrometers by etching for 20 minutes. Next, by carrying out patterning of the aluminum mask used for this RIE, it considered as the mask for ion implantations, nitrogen (N) ion was poured in, and the source field 74 of a low resistance n mold and the drain field 73 were formed. Performing N ion implantation in four steps, 70keV(s), 40keV, 25keV, and 10keV, the total dose is 3×10^{15} -/cm². The ion implantation was performed at the room temperature and heat treatment for impregnation ion activation was performed on 1200 degrees C and the conditions for 30 minutes among the argon gas ambient atmosphere. Furthermore, after vapor-depositing nickel (nickel:200nm) as an ohm nature electrode of the source field 74 and the drain field 73 and forming a pattern according to a lift-off process, 900 degrees C and heat treatment for 10 minutes were added.

[0070] Next, the detailed shot key gate electrode 77 was formed using electron beam lithography and a lift-off process. After forming an electrode 77 in a gate electrode material using titanium / platinum / gold (Ti:10nm, Pt:120nm, Au:350nm), 400 degrees C and heat treatment for 20 minutes were performed, and stabilization of the shot key electrode 77 was attained. After depositing aluminum with a thickness of 800nm on the source electrode 76 and the drain electrode 75, according to the process used by production of GaAsMESFET, the air bridge of Au was produced and the source finger was connected. For the gate length of produced RF MESFET70, 0.4 micrometers and gate width are [0.4 micrometers and the distance between gate drains of 900 micrometers and the distance between the source gates] 1.2 micrometers.

[0071] Next, the property of RF MESFET70 shown in produced drawing 20 is explained. Here, the property of RF MESFET(henceforth "[03-38] RF MESFET") 70 which applied [03-38] side bearing ion-implantation layer is explained as compared with RF MESFET (henceforth "[0001] RF MESFET") which applied the [0001] side bearing ion-implantation layer. In addition, although the manufacture method of [0001] RF MESFET is fundamentally [as the manufacture method of [03-38] RF MESFET70] the same, it differs in that the flow rate of N₂ introduced in case a channel layer is grown up is 1×10^{-3} sccm.

[0072] The linearity field and saturation region of produced RF MESFET clear in a drain property were seen, and the actuation as MESFET was checked. The typical drain property of MESFET is shown in drawing 21 (a) and (b). If the mutual conductance gm used as the engine-performance index of the direct-current property of MESFET is estimated, it sets on the conditions of gate voltage 0V and drain voltage 10V, and is gm=74mS/mm at [0001] RF MESFET in 58 mS/mm and gm=[03-38] RF MESFET70. It became. This difference is mainly considered to originate in the difference of the contact resistance of the source field 64 and an ohm nature electrode. As a result of evaluating the test pattern produced on the wafer same at the time of production of RF MESFET, it turned out that the sheet resistance of n mold source field formed in this process is 186ohm/** in respect of 4HSiC(s) [0001] in respect of 1830ohm/**, and 4HSiC [03-38]. Moreover, the rate of contact resistance to this source field was 3×10^{-6} ohmcm² in respect of 4HSiC(s) [0001] in respect of 8×10^{-4} ohmcm² and 4HSiC [03-38]. Thus, it has also contributed greatly by using 4HSiC [03-38] side that the parasitism resistance component has been reduced single or more figures to improvement in the above-mentioned MESFET property. The drain pressure-proofing at the time of OFF was 155V in [0001] RF MESFET at 120 V and [03-38] RF MESFET70. By using 4HSiC [03-38] side, penetration of the micro pipe from a substrate 71 or a plug rearrangement is controlled, and this is considered to be because for the high quality SiC crystal to have been obtained. Moreover, by using 4HSiC [03-38] side, the surface smoothness on the surface of growth becomes good, and is considered that the effect that the electric-field concentration by the 77/SiC interface of shot key electrodes is reduced has also contributed.

[0073] Next, the result of having evaluated the RF property of this MESFET by the microwave measuring device of an on-wafer is shown in drawing 22. By [0001] RF MESFET which asked for the cut-off frequency ft and the maximum frequency of oscillation fmax when testing on condition that drain voltage 50V, by ft=6.2GHz, and 16GHz and fmax=[03-38] RF MESFET70, it was estimated as ft=16GHz and fmax=43GHz, and the property excellent in the direction of [03-38] RF MESFET was acquired. Moreover, as a result of performing a performance test with a frequency of 3GHz, the highest power density became by [0001] RF MESFET in 2.1W [mm] (total power 1.8 W) /, and became in 3.4W (total power 3.1 W)/mm by [03-38] RF MESFET70, and the output with too higher [03-38] RF MESFET was obtained. Thus, the RF property which was excellent by using 4HSiC [03-38] side was acquired as mentioned above because parasitism resistance

of the contact resistance of the source field 74 and an ohm nature electrode etc. decreased sharply. [0074] (The example of the 6th application) The 6th example which applied the ion-implantation layer is the schottky diode of super junction (SJ) structure. The ion-implantation layer concerning this invention was applied, and the schottky diode 80 of SJ structure shown in drawing 23 was manufactured. The schottky diode of SJ structure is explained. In Si power device, multilayer pn junction is perpendicularly formed with SJ structure to having realized the OFF state (maintenance of high pressure-proofing) using single pn junction or the reverse bias condition of the Schottky barrier with the direction where the high voltage is impressed to n mold field of the usual pn junction (or Schottky barrier). In an OFF state, since these multilayer pn junction becomes a reverse bias mutually, a depletion layer spreads two-dimensional. If the space charge distribution in a depletion layer is appropriately designed at this time, electric-field distribution in a drift region will be made to homogeneity. Consequently, even if it uses the low resistive layer which performed high concentration doping comparatively, high pressure-proofing can be maintained, and the power device of high pressure-proofing and low on resistance can be realized. Although this SJ structure was advocated for many years, since the technology produced with sufficient control of multilayer pn junction was not established those days, utilization was not carried out. Precision control of formation of such multilayer pn junction and space charge distribution is attained, and utilization is advanced by progress of the latest semiconductor processing technology in the field of Si power metal-oxide semiconductor field effect transistor. It is clear that this SJ structure is effective also to SiC.

[0075] Next, the manufacture method of the schottky diode of SJ structure is explained. the substrate 81 used for device production -- amelioration Rayleigh -- it produced by slicing and carrying out mirror polishing of the ingot which grew by law. A substrate 81 is n mold altogether, the carrier density for which it asked by hall effect measurement is one to 2×10^{19} /cm³, and thickness is 160–210 micrometers. In order to pass current to a lengthwise direction in this device, it is effective to use lowering and the thin substrate 81 for resistance of a substrate 81. On [03–38] side of this substrate 81, the nitrogen dope n mold SiC layer was grown epitaxially with the CVD method. A growth phase consists of a buffer layer 82 and a drift layer 83 and, for a buffer layer 82, one to 5×10^{17} /of donor densities cm³ and thickness are [4×10^{16} /of donor densities cm³ and the thickness of 2 micrometers and the drift layer 83] 3.5 micrometers. The main growth conditions of the buffer layer 82 by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.30sccm(s) and / C₃H₈ / 2 / 0.30sccm(s) and / N₂ to 3.0slm(s) about 1×10^{-2} sccm and H₂, and is grown up for 45 minutes at the substrate temperature of 1520 degrees C. Moreover, the main growth conditions of the drift layer 83 by the CVD method are as follows. The gas flow rate to introduce is set [4 / SiH₄ / 0.50sccm(s) and / C₃H₈ / 2 / 0.50sccm(s) and / N₂ to 3.0slm(s) about 2×10^{-3} sccm and H₂, and is grown up for 60 minutes at the substrate temperature of 1520 degrees C.

[0076] SiO₂ film with a thickness of 6 micrometers was deposited with the reduced pressure CVD method on this SiC epiwafer. On this SiO₂ film, aluminum was vapor-deposited and the pattern of the shape of a stripe with a width of face of 2 micrometers was formed by the photolithography. SiO₂ film was alternatively etched by reactive ion etching using CF₄ and O₂ gas by using this aluminum pattern as a mask. Next, high energy ion injection was performed by having used as the mask SiO₂ film processed into the stripe-like pattern, and a part of n mold growth phase (drift layer) 83 was changed into p mold. Deep p mold field 83a which penetrates a growth phase by high energy ion injection was formed. Impregnation ion is aluminum⁺ and the total dose of impregnation energy is 3×10^{13} /cm² in 15 steps of 30keV–6500keV. Sample heating at the time of an ion implantation is not performed. Heat treatment for impregnation ion activation was performed on 1600 degrees C and the conditions for 30 minutes among the argon gas ambient atmosphere. Of this ion implantation, acceptor density serves as p mold (a depth of about 3.5 micrometers) of about 4×10^{16} /cm³, and, as for the impregnation field of the shape of a stripe of 2 micrometers of ****, SJ structure is formed.

[0077] Thus, the SJ schottky diode 80 of the structure shown in drawing 23 was produced using the SiC epitaxial wafer which has produced SJ structure. First, in order to control electric-field concentration in a shot key electrode edge, and dielectric breakdown, p mold guard ring 84 with a width of face [of 150 micrometers] and a depth of 0.5 micrometers was formed in the perimeter of a shot key electrode. The guard ring 84 was formed by the boron (B) ion implantation. The total dose of the energy of B ion implantation is 1.1×10^{13} /cm² in 30–280keV. SiO₂ film (5 micrometers in thickness) formed by aluminum (4 micrometers in thickness) or CVD was used for the mask of an ion implantation. Heat treatment for impregnation ion activation was performed on 1500 degrees C and the conditions for 30 minutes among the argon gas ambient atmosphere. The thermal oxidation film 87 was formed by 1150 degrees C and the wet oxidation of 2 hours after annealing, and the SiN film 88 with a thickness of 800nm was further deposited by CVD.

[0078] Next, nickel (200nm in thickness) was vapor-deposited at the rear face, 1000 degrees C and heat treatment for 20 minutes were performed at it, and the ohmic electrode 90 was formed in it. Then, Ti/aluminum (Ti:200 nm/aluminum:850nm) was vapor-deposited and the shot key electrode 86 was formed in the surface side. The shot key electrode 86 made it stabilize by performing 500 degrees C and heat treatment for 30 minutes. The surface of diode applied and protected polyimide 89. The lap of the shot key electrode 86 and a guard ring 84 is 20 micrometers, and the diameter of the shot key electrode 86 is 3mmphi.

[0079] Next, the property of the SJ schottky diode 80 shown in produced drawing 23 is explained. Here, the property of the SJ schottky diode (henceforth "[03–38] SJ schottky diode") 80 which applied [03–38] side bearing ion-implantation layer is explained as compared with SJ schottky diode (henceforth "[0001] SJ schottky diode") which applied the [0001] side bearing ion-implantation layer. In addition, although the manufacture method of [0001] SJ schottky diode is fundamentally [as the manufacture method of the

[03-38] SJ schottky diode 80] the same, it differs in that the flow rate of N₂ introduced in case the point that the flow rate of N₂ introduced in case a buffer layer 82 is grown up is 8×10^{-2} sccm, and the drift layer 83 are grown up is 1×10^{-2} sccm.

[0080] Drawing 24 is drawing showing the typical current-voltage characteristic of SJ schottky diode (3mmphi). The field bearing dependency of the forward characteristic of a crystal was small, and the good value of on resistance $0.5 - 0.7 \text{ m}\Omega \text{ cm}^2$ was acquired. the piece of a forward characteristic -- a logarithm -- the ideal factor n values calculated from the plot are 1.02-1.05, and obstruction height was set to 1.18eV with 1.09eV and the [03-38] SJ schottky diode 80 with [0001] SJ schottky diode. On the other hand, the big difference was looked at by used field bearing in the reverse characteristic. With [0001] SJ schottky diode, the property in which 764V and average pressure-proofing were set to 612V, and the highest pressure-proofing was excellent was acquired with the [03-38] SJ schottky diode 80 to 580V and average pressure-proofing having stopped [the highest pressure-proofing] at 362V. Moreover, when diode with an electrode diameter [ϕ] of 3mm compared the average of the leak current density not only at pressure-proofing but the time of -300V impression, with [0001] SJ schottky diode, with $3 \times 10^{-1} \text{ A/cm}^2$ and the [03-38] SJ schottky diode 80, it became $1 \times 10^{-4} \text{ A/cm}^2$, and the difference of triple or more figures was accepted. By using 4HSiC [03-38] side, penetration of the micro pipe from a substrate 81 or a plug rearrangement is controlled, and this is considered to be because for the high quality SiC crystal to have been obtained. Moreover, by using 4HSiC [03-38] side, the surface smoothness of the growth surface, the SJ section formed of the ion implantation, and the guard ring 84 section becomes good, and is considered that the effect that the electrode concentration by the shot key electrode / SiC interface is reduced has also contributed. In this example, although the guard ring 84 was formed by B ion implantation, even when aluminum ion implantation is used, there is same effect. If SJ structure formed of the ion implantation is applied to 4HSiC(s)[03-38] MOSFET, the power transistor which was excellent in high pressure-proofing and low loss is realizable.

[0081] As mentioned above, although the operation gestalt of this invention has been explained to details, this invention is not limited to the above-mentioned operation gestalt.

[0082] In the above-mentioned operation gestalt, although nitrogen (N), phosphorus (P), aluminum (aluminum), and the ion-implantation layer that poured in boron (B) ion were explained, it is good also as, for example, pouring in ion other than the above of arsenic (As), a gallium (Ga), an indium (In), etc., etc.

[0083]

[Effect of the Invention] According to this invention, when an ion-implantation layer spreads in the field bearing which has an OFF angle with an angle [α] of less than 10 degrees from [03-38] side, an ion-implantation layer with little turbulence of a crystal is realizable.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining an ion-implantation layer.

[Drawing 2] It is drawing showing the RBS spectrum of an ion-implantation layer.

[Drawing 3] It is drawing showing the impregnation dose dependency of the sheet resistance of an ion-implantation layer.

[Drawing 4] It is drawing showing the annealing temperature dependency of the rate of electrical-activity-izing of the impregnation ion in an ion-implantation layer.

[Drawing 5] It is drawing showing the annealing temperature dependency of the sheet resistance of an ion-implantation layer.

[Drawing 6] It is drawing showing the annealing temperature dependency of the rate of contact resistance of an ion-implantation layer.

[Drawing 7] It is drawing showing the impregnation layer annealing temperature dependency of the sheet resistance of an ion-implantation layer.

[Drawing 8] It is drawing showing the impregnation layer annealing temperature dependency of the rate of contact resistance of an ion-implantation layer.

[Drawing 9] It is drawing showing the schottky diode with which the ion-implantation layer was applied.

[Drawing 10] It is drawing showing the current-voltage characteristic of schottky diode.

[Drawing 11] It is drawing showing the electrode area dependency of the resisting pressure (average) of schottky diode.

[Drawing 12] It is drawing showing the planar mold pn diode with which the ion-implantation layer was applied.

[Drawing 13] It is drawing showing the current-voltage characteristic of planar mold pn diode (3mm angle).

[Drawing 14] It is drawing which plotted the forward voltage drop when carrying out the long duration style of the forward current to planar mold pn diode.

[Drawing 15] It is drawing showing the N channel reversal MOSFET to which the ion-implantation layer was applied.

[Drawing 16] It is drawing showing the gate property of the N channel reversal MOSFET.

[Drawing 17] It is drawing showing the N channel vertical mold DIMOSFET with which the ion-implantation layer was applied.

[Drawing 18] It is drawing showing the drain property of the vertical mold DIMOSFET in a low drain voltage field (3mm angle).

[Drawing 19] It is drawing showing the drain property of the vertical mold DIMOSFET in a high drain voltage field (3mm angle).

[Drawing 20] It is drawing showing RF MESFET to which the ion-implantation layer was applied.

[Drawing 21] (a) and (b) are drawings showing the typical drain property of RF MESFET.

[Drawing 22] It is drawing showing the result of having evaluated the RF property of RF MESFET by the microwave measuring device of an on-wafer.

[Drawing 23] It is drawing showing SJ schottky diode with which the ion-implantation layer was applied.

[Drawing 24] It is drawing showing the current-voltage characteristic of SJ schottky diode (3mmphi).

[Description of Notations]

10 [-- A buffer layer, 12b / -- A drift layer, 14 / -- A guard ring, 16 / -- A shot key electrode, 17 / -- Polyimide, 18 / -- An ohmic electrode, 19 / -- Oxide film.] -- Schottky diode, 11 -- A substrate, 12 -- A nitrogen dope n mold SiC layer, 12a

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-261041
(P2002-261041A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)			
H 0 1 L 21/265	6 0 2	H 0 1 L 21/265	6 0 2 A	4 G 0 7 7		
		C 3 0 B 29/36	A	4 M 1 0 4		
C 3 0 B 29/36		H 0 1 L 21/28	A	5 F 1 0 2		
H 0 1 L 21/28		29/78	6 5 2 T	5 F 1 4 0		
29/78		21/265	Z			
		審査請求	未請求	請求項の数7	OL (全 23 頁)	最終頁に続く

(21) 出願番号 特願2001-60380 (P2001-60380)

(22) 出願日 平成13年3月5日 (2001.3.5)

(71) 出願人 599012835
株式会社シクスオン
京都府京都市東山区下河原通八坂鳥居前下
ル下河原町463番地の1 グレーシイ京都
東山707号

(71) 出願人 000156938
関西電力株式会社
大阪府大阪市北区中之島3丁目3番22号

(71) 出願人 000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目5番33号

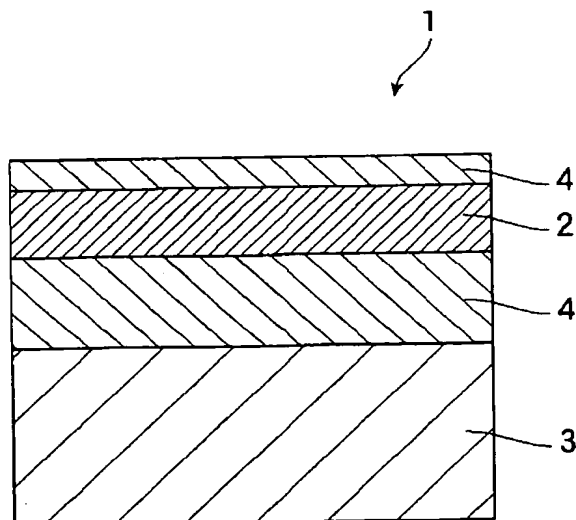
(74) 代理人 100088155
弁理士 長谷川 芳樹 (外3名)
最終頁に続く

(54) 【発明の名称】 S i C半導体のイオン注入層及びその製造方法

(57) 【要約】

【課題】 結晶の乱れ及び結晶表面の荒れを低減させたイオン注入層を提供する。

【解決手段】 本発明に係るS i C半導体1のイオン注入層2は、4 H型S i Cの{0 3 - 3 8}面から1 0°以内の角度αのオフ角を有する面方位の面に広がっている。



【特許請求の範囲】

【請求項1】 4H型SiCの{03-38}面から10°以内の角度 α のオフ角を有する面方位の面に広がっていることを特徴とするSiC半導体のイオン注入層。

【請求項2】 前記オフ角 α は、5°以内であることを特徴とする請求項1に記載のSiC半導体のイオン注入層。

【請求項3】 前記オフ角 α は、3°以内であることを特徴とする請求項1に記載のSiC半導体のイオン注入層。

【請求項4】 {03-38}面、又は{03-38}面に対して約10°以内のオフ角 α だけ傾いた面、を露出させたSiC単結晶からなる種結晶上に、4H型ポリタイプのSiC単結晶を成長させるSiC結晶成長工程と、

前記SiC結晶成長工程において成長されたSiC結晶にイオンを注入するイオン注入工程と、

を備えることを特徴とするイオン注入層製造方法。

【請求項5】 前記SiC結晶成長工程において、{03-38}面から傾けられるオフ角 α は、5°以内であることを特徴とする請求項4に記載のイオン注入層製造方法。

【請求項6】 前記SiC結晶成長工程において、{03-38}面から傾けられるオフ角 α は、3°以内であることを特徴とする請求項4に記載のイオン注入層製造方法。

【請求項7】 前記イオン注入工程によってイオンが注入されたSiC結晶を1000℃以下の温度によって熱処理するアニール工程を、さらに備えることを特徴とする請求項4～6のいずれか1項に記載のイオン注入層製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SiC半導体のイオン注入層及びそのイオン注入層を製造するイオン注入層製造方法に関する。

【0002】

【従来の技術】近年、炭化珪素(SiC)あるいは窒化ガリウム(GaN)等の軽元素で構成される化合物半導体の研究が盛んに行なわれている。これらの化合物半導体は、軽元素によって構成されているため、結合エネルギーが強く、その結果、エネルギーの禁制帯幅(バンドギャップ)、絶縁破壊電界、熱伝導度が大いことが特徴である。このワイドバンドギャップの特徴を活かした、高効率・高耐圧パワーデバイス、高周波パワーデバイス、高温動作デバイスが注目を集めている。これらの半導体デバイスは、イオン注入法によって製造される場合が多い。

【0003】

【発明が解決しようとする課題】しかしながら、従来の

SiC半導体は、{0001}面に対する傾きが10°以内の面方位を有するSiCにイオンを注入して製造されていたが、イオン注入工程においてSiC結晶が乱れるという問題点があった。そして、イオン注入工程において生じた結晶の乱れは、その後のアニール工程においても回復することが困難であった。イオン注入時の結晶の乱れを最小にする手法として、加熱した試料にイオンを注入するホットインプラメンテーションと呼ばれる方法が採用される場合もあるが、この方法では、イオン注入装置の試料ホルダーを500℃程度の高温に均一に加熱する必要があるため、汎用のイオン注入装置を使用することができない上、イオン注入の後に行なわれる結晶回復のためのアニール工程において、1000℃を超える温度で熱処理する必要がある。こうした熱処理は、予期しない不純物の拡散をもたらすことがあり、また、プロセス途中で必要となる高温の処理は、プロセスの自由度、デバイス設計の自由度を制限することとなる。さらに、高温処理により結晶表面が荒れるという問題点もあった。

【0004】そこで、本発明は上記課題を解決し、結晶の乱れ及び結晶表面の荒れを低減させたイオン注入層、及びイオン注入層製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明に係るSiC半導体のイオン注入層は、4H型SiCの{03-38}面から10°以内の角度 α のオフ角を有する面方位の面に広がっていることを特徴とする。

【0006】このように、イオン注入層が{03-38}面から10°以内の角度 α のオフ角を有する面方位に広がることによって、結晶の乱れが少ないイオン注入層を実現することができる。

【0007】また、上記SiC半導体のイオン注入層は、オフ角 α は5°以内であることが好ましく、さらに、オフ角は3°以内であることが好ましい。イオン注入層が広がっている面の面方位が{03-38}面に近くなるほど、SiC半導体のイオン注入層の結晶の乱れが少なくなる。

【0008】本発明に係るSiC半導体製造方法は、{03-38}面、又は{03-38}面に対して約10°以内のオフ角 α だけ傾いた面、を露出させたSiC単結晶からなる種結晶上に、4H型ポリタイプのSiC単結晶を成長させるSiC結晶成長工程と、SiC結晶成長工程において成長されたSiC結晶にイオンを注入するイオン注入工程と、を備えることを特徴とする。

【0009】このようにSiC結晶成長工程において、{03-38}面、又は{03-38}面に対して約10°以内のオフ角 α だけ傾いた面、を露出させたSiC単結晶からなる種結晶上に4H型ポリタイプのSiC単結晶を成長させたSiC単結晶は、{03-38}面に

対する傾きが 10° 以内の面方位を有する。そして、このSiC単結晶に、イオン注入工程においてイオンを注入することにより、結晶の乱れが少ないSiC半導体を製造することができる。従来は、 $\{0001\}$ 面に対する傾きが 10° 以内の面方位を有するSiCにイオンを注入することによって製造されていたが、 $\{0001\}$ 面は六方最密面であることから、不純物イオンが注入された場合に結晶がストレスを受ける。このため、イオン注入によって結晶格子が大きく乱れる原因となっていた。発明者らは、SiCの面方位について鋭意検討した結果、 $\{03-38\}$ 面、及び $\{03-38\}$ 面に対する傾きが 10° 以内の面方位がイオン注入の際のストレスが少ない面であることを見出した。これは、 $\{03-38\}$ 面は、最密面から離れた面でありながら原子の結合手が比較的周期的に現れている面であるためであると考えられる。従来は、イオン注入工程における結晶の乱れを最小限にするため、ホットインプランテーションと呼ばれる手法が採用されていたが、本発明によれば室温でイオン注入を行なっても、結晶の乱れを低減できるので、従来のように高温処理を行なう必要がなく、結晶表面が荒れるという問題を解消することができる。

【0010】また、上記SiC半導体製造方法は、SiC結晶成長工程において、 $\{03-38\}$ 面から傾けられるオフ角 α は、 5° 以内であることが好ましい。さらに、オフ角は 3° 以内であることが好ましい。すなわち、種結晶の表面が $\{03-38\}$ 面に近くなるほど、成長されるSiC結晶の面方位は $\{03-38\}$ 面に近くなり、SiC半導体の結晶の乱れが少なくなる。

【0011】また、上記SiC半導体製造方法は、イオン注入工程によってイオンが注入されたSiC結晶を 1000°C 以下の温度によって熱処理するアニール工程を、さらに備えることを特徴としても良い。

【0012】本発明によれば、製造されたイオン注入層は結晶の乱れが少ないので、結晶を回復させるアニール工程における熱処理の温度を従来(1000°C)より低く設定することができ、結晶表面の荒れを低減したSiC半導体を実現できる。

【0013】

【発明の実施の形態】以下、図面と共に本発明に係るSiC半導体のイオン注入層及びイオン注入層製造方法の好適な実施形態について詳細に説明する。ここで、格子面の記号の説明をすると、負の指数については、結晶学上、“-”（バー）を数字の上に付けることになっているが、明細書作成の都合上、数字の前に負号を付けることにする。なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

【0014】（第1実施形態）図1は、第1実施形態に係るイオン注入層2が形成されたSiC半導体1を示す図である。第1実施形態に係るイオン注入層は、窒素(N)イオンが注入されたn型層が4H型SiC層3の

$\{03-38\}$ 面に広がっているイオン注入層2である。

【0015】第1実施形態に係るイオン注入層2の製造方法について説明する。まず、4HSiC $\{03-38\}$ の面方位を有する基板3にアルミ(Al)ドーブp型4HSiC層4をエビタキシャル成長させる。ここで、用いる基板3は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製する。基板3は全てp型で、ショットキー障壁の容量-電圧特性から求めた実効アクセプタ密度は $5\sim 8\times 10^{18}/\text{cm}^3$ 、厚さは $360\sim 420\mu\text{m}$ である。CVD法によるp型SiC層4の主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.5 sccm 、 C_2H_2 については 0.40 sccm 、 $\text{Al}(\text{CH}_3)_3$ については $8\times 10^{-4}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1520°C で90分間成長させる。このような成長条件によって成長されたp型SiC層4のアクセプタ密度は $6\sim 8\times 10^{11}/\text{cm}^3$ 、膜厚は $5\mu\text{m}$ である。

【0016】このようにして作製したp型SiC層4にNイオンを注入し、イオン注入層2を形成する。Nイオン注入は 140 keV 、 80 keV 、 50 keV 、 25 keV の4段階で行い、総ドーズ量は $5\times 10^{14}\sim 2\times 10^{15}/\text{cm}^2$ である。各注入エネルギーのドーズ比を 0.48 (140 keV)、 0.26 (80 keV)、 0.18 (50 keV)、 0.08 (25 keV)とすることによって、深さ約 $0.4\mu\text{m}$ のボックスプロファイルを形成する。イオン注入は室温、あるいは 500°C で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中で $1000\sim 1700^\circ\text{C}$ 、30分の条件で行う。

【0017】次に、上記製造方法によって製造されたイオン注入層2の特性について説明する。ここでは、 $\{03-38\}$ 面方位を有するイオン注入層（以下、「 $\{03-38\}$ 面方位イオン注入層」という）2の特性を、 $\{0001\}$ 面から 8° のオフ角を有する面方位に広がるイオン注入層（以下、「 $\{0001\}$ 面方位イオン注入層」という）の特性と比較して説明する。 $\{0001\}$ 面方位イオン注入層の製造方法は、上記した $\{03-38\}$ 面方位イオン注入層2の製造方法と基本的に同じであるが、p型SiC層4を成長させる際に導入する $\text{Al}(\text{CH}_3)_3$ の流量が $2\times 10^{-4}\text{ sccm}$ である点が異なる。

【0018】まず、イオン注入層の結晶性を評価するために、ラザフォード後方散乱(RBS)のチャネリング測定を行った。RBS測定は、エネルギー 2.0 MeV の He^{+} イオンを用い、散乱角 170° の条件で測定した。図2は、トータルドーズ量 $5\times 10^{15}/\text{cm}^2$ の試料(室温注入、 1500°C のアニール前後)のRBSスペクトルを示す図である。注入直後の状態では $\{000$

1) 面方位イオン注入層、{03-38}面方位イオン注入層2とも、表面近傍におけるチャネリング時の後方散乱イールド(yield)がランダム散乱時のイールドと一致しており、注入層がほぼ完全な非晶質になっていることが分かる。1500℃のアニールを行った試料では、結晶性が改善され、チャネリング時の散乱イールド(アラインスペクトル)がランダムスペクトルより低下している。しかしながら、その結晶性回復の度合いには大きな面方位依存性が見られた。{0001}面方位イオン注入層では、1500℃のアニールを施してもアラインスペクトルの散乱イールドはかなり大きく、注入層領域(表面の約0.4μm)ではランダムイールドの20~40%にも達する。したがって、{0001}面方位イオン注入層では、アニール時の再結晶化が不十分で、多くの結晶欠陥が残存することが分かる。実際、この試料を断面透過電子顕微鏡(TEM)観察によって分析すると、再結晶化した4HSiC層の中に、3C-SiC粒が混在すること、またこの3C-SiC粒の周辺では4HSiCも一部多結晶化し、多くの粒界や転位が形成されていることが判明した。一方、{03-38}面方位イオン注入層2では、アニールによってチャネリング時の散乱イールドが非常に小さくなり(ランダム時の1.2%)、未注入試料と同程度まで結晶性が回復していることが分かる。断面TEM観察でも、{03-38}面方位イオン注入層2では、3C-SiCの混在や粒界、転位の発生が観測されず、優れた再結晶化が進行することが分かった。これは、{0001}面方位イオン注入層では再結晶化の過程で原子配列が一義的に決まらないサイトが多数存在するために、原子のミスアライメントが多く発生するのに対し、{03-38}面方位イオン注入層2ではSiC特有の周期的ポテンシャルが表面に現れているために、完全な非晶質からの再結晶化であっても、非常にスムーズに、欠陥の発生を伴わない再結晶化が進むためであると考えられる。

【0019】次に、イオン注入層の電気的性質をファン・デア・ポー(van der Pauw)法によって評価した。イオン注入層を約10mm角に切りだし、注入層の電気的分離を行うために、その中央部8mm角が残るよう反応性イオンエッチングによってメサ構造を作製した。このメサ構造の4隅にニッケル(Ni:厚さ180nm)を蒸着し、950℃、20分間の熱処理を行った。この試料のシート抵抗、キャリア密度、移動度をファン・デア・ポー法、およびホール効果測定によって調べた。図3は、室温、あるいは500℃の高温でNイオンを注入し、1500℃でアニールした試料のシート抵抗の注入ドーズ量依存性を示す図である。{0001}面方位イオン注入層の場合、シート抵抗の最小値は室温注入で710Ω/□(ドーズ量:8×10¹⁴/cm²)、500℃の高温注入で420Ω/□(ドーズ量:8×10¹⁴/cm²)である。特に、室温注入では、ドーズ量が

1×10¹⁵/cm²を越えるとシート抵抗が増大してしまう。この原因は、上述のように、注入によって完全な非晶質領域が形成されてしまうと、1500℃のアニールを行っても多くの欠陥が残留して注入イオンの活性化を妨げるからであると考えられる。一方、{03-38}面方位イオン注入層2では、シート抵抗の最小値は室温注入で120Ω/□(ドーズ量:5×10¹⁵/cm²)、500℃の高温注入で86Ω/□(ドーズ量:1×10¹⁶/cm²)となり、室温注入、高温注入ともにシート抵抗の大幅な低減が可能であることが分かった。デバイスの工業化を考えると、イオン注入装置の製造、運転コスト、注入プロセス時のスルーボットの点で室温注入のメリットは大きい。したがって、4HSiC{03-38}面を用いることによって、室温注入でも低いシート抵抗が得られた意義は非常に大きい。

【0020】次に、ドーズ量を5×10¹⁵/cm²に固定し、注入層における注入イオンの電気的活性化率のアニール温度依存性を調べた結果を図4に示す。SiC中のNドナーは室温において必ずしも完全にイオン化して自由電子を供給していないので、ホール効果測定を室温から300℃の高温まで行い、出払い領域のシートキャリア密度をドーズ量で割った値を電気的活性化率と定義した。図4から分かるように{0001}面方位イオン注入層では、アニール温度を1700℃まで上昇させても活性化率はあまり高くない。特に、室温注入の場合には、活性化率が10%以下に留まっている。しかしながら、{03-38}面方位イオン注入層2では、室温注入でも、高い活性化率が得られることが分かる。室温注入、1200℃アニールの試料でも84%という高い活性化率を達成でき、1500℃アニールを施すことによってほぼ100%の活性化率が得られる。ちなみに、室温注入、1200℃アニールの試料と比較すると、{0001}面方位イオン注入層ではシート抵抗が2230Ω/□、{03-38}面方位イオン注入層2ではシート抵抗が180Ω/□となり、一桁以上の改善が見られた。{03-38}面方位イオン注入層2では、再結晶化の速度が非常に速く、1200℃程度の比較的低温でも良好な結晶性回復特性を示すものと思われる。このように、{03-38}面方位イオン注入層2を用いると、低温プロセスで十分低抵抗のn型層を形成でき、かつオーム性電極の接触抵抗率も低減できるので、pinダイオードのカソード、MOSFET、MESFETやJFETなどのn型ソース、ドレイン領域の形成に有効であり、高性能SiCデバイスの実現につながる。

【0021】(第2実施形態)第2実施形態に係るイオン注入層は、燐(P)イオンが注入されたn型層が4H型SiCの{03-38}面に広がっているイオン注入層である。第2実施形態に係るイオン注入層が形成されるSiC半導体の構造は、第1実施形態で説明したSi

C半導体と同様に、基板に成長されたSiC層にイオン注入層が形成されたものである。従って、ここでは、図示は省略する。

【0022】第2実施形態に係るイオン注入層の製造方法について説明する。まず、4HSiC{03-38}の面方位を有する基板にホウ素(B)ドーパ型4HSiC層をエピタキシャル成長させる。ここで、用いる基板は、改良レーリ法によって成長したインゴットをスライスし、鏡面研磨することによって作製する。基板は全てp型で、ショットキー障壁の容量-電圧特性から求めた実効アクセプタ密度は $6\sim 8\times 10^{18}/\text{cm}^3$ 、厚さは $380\sim 420\mu\text{m}$ である。CVD法によるp型4HSiC層の主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.50 sccm 、 C_2H_4 については 0.66 sccm 、 B_2H_6 については $6\times 10^{-6}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1500°C で110分間成長させる。このような成長条件によって成長されたp型SiC層のアクセプタ密度は $3\sim 5\times 10^{15}/\text{cm}^3$ 、膜厚は $5\mu\text{m}$ である。

【0023】このようにして作製したSiCエピタキシャルウェーハにPイオンを注入し、イオン注入層を形成する。Pイオン注入は 180 keV 、 120 keV 、 80 keV 、 40 keV 、 20 keV の5段階で行い、総ドーパ量は $5\times 10^{15}\text{ cm}^{-2}$ である。各注入エネルギーのドーパ比を 0.42 (180 keV)、 0.21 (120 keV)、 0.13 (80 keV)、 0.10 (40 keV)、 0.04 (20 keV)とすることによって、深さ約 $0.3\mu\text{m}$ のボックスプロファイルを形成する。イオン注入は室温、あるいは 800°C で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中で $1000\sim 1700^\circ\text{C}$ 、30分の条件で行う。

【0024】次に、上記製造方法によって製造されたイオン注入層の特性について説明する。ここでは、{0001}面から 8° のオフ角を有する面方位に広がるイオン注入層(以下、「{0001}面方位イオン注入層」という)の特性と比較して、{03-38}面方位を有するイオン注入層(以下、「{03-38}面方位イオン注入層」という)の特性を説明する。{0001}面方位イオン注入層の製造方法は、上記した{03-38}面方位イオン注入層の製造方法と基本的に同じであるが、p型SiC層を成長させる際に導入する B_2H_6 の流量が $2\times 10^{-6}\text{ sccm}$ である点が異なる。

【0025】イオン注入層の電気的性質をファン・デア・ポー(van der Pauw)法によって評価した。イオン注入層を約 10 mm 角に切りだし、注入層の電気的分離を行うために、その中央部 8 mm 角が残るよう反応性イオンエッチングによってメサ構造を作製した。このメサ構造の4隅にニッケル(Ni:厚さ 180 nm)を蒸着し、 950°C 、20分間の熱処理を行っ

た。

【0026】図5は、室温、あるいは 800°C の高温でイオン注入を行ったイオン注入層のシート抵抗のアニール温度依存性を示す図である。シート抵抗はアニール温度の上昇と共に単調に減少するが、そのシート抵抗の絶対値に大きな面方位依存性が観測された。{0001}面方位イオン注入層の場合、高温注入、 $1600\sim 1700^\circ\text{C}$ のアニールによって $94\sim 97\Omega/\square$ という低いシート抵抗が得られたが、室温注入ではアニール温度を 1700°C まで上げてもシート抵抗は $285\Omega/\square$ までしか低減できなかった。これに対して{03-38}面方位イオン注入層の場合は、室温注入、 1200°C アニールでも $102\Omega/\square$ 、室温注入、 1500°C アニールでは $67\Omega/\square$ という低い値が得られた。また、高温注入によって得られた{03-38}面方位イオン注入層では、 1200°C アニールによって $56\Omega/\square$ という優れた値を得た。このように、Pイオン注入の場合も、4HSiC{03-38}面を用いると、低い注入温度、あるいは低いアニール温度で良好な低抵抗n型層が形成できることが分かった。これは、4HSiC{03-38}では、再結晶化の速度が非常に速く、比較的低温でも良好な結晶性回復特性を示すからであると考えられる。

【0027】次に、前述のイオン注入層(10 mm 角)を用いてオーム性電極の接触抵抗率の評価を行った。注入層表面に幅 $20\mu\text{m}$ 、長さ $200\mu\text{m}$ の短冊状の電極を間隔 $10\sim 200\mu\text{m}$ で配置し、TLM法によって電極の接触抵抗率を測定した。図6は、図5に対応する接触抵抗率の注入層アニール温度依存性を示す図(電極の熱処理は 950°C で固定)である。接触抵抗率の面方位依存性、注入温度あるいはアニール温度依存性は、図5のシート抵抗と同様の傾向を示した。すなわち、{0001}面方位イオン注入層の場合、 $1\times 10^{-6}\Omega\text{ cm}^2$ 程度の低い接触抵抗率を得るためには、高温注入と 1500°C 以上の高温アニールが必要である。一方、{03-38}面方位イオン注入層では、室温注入の後、 1200°C 以上のアニールを行えば $1\times 10^{-6}\Omega\text{ cm}^2$ 程度の低い接触抵抗率が得られる。室温注入後、 1500°C アニールを行った{03-38}面方位イオン注入層では $4\times 10^{-7}\Omega\text{ cm}^2$ という極めて低い優れた特性を得た。これは、4HSiC{03-38}面では上述のように注入イオンの活性化率が高く、非常に高濃度のドーピングが容易だからである。このように、4HSiC{03-38}面を用いると、低温プロセスで十分低抵抗のn型層を形成でき、かつオーム性電極の接触抵抗率も低減できるので、Pinダイオードのカソード、MOSFET、MESFETやJFETなどのn型ソース、ドレイン領域の形成に有効であり、高性能SiCデバイスの実現につながる。

【0028】(第3実施形態)第3実施形態に係るイオ

ン注入層は、アルミ (Al) イオンが注入された p 型層が 4 H 型 SiC の {03-38} 面に広がっているイオン注入層である。第 3 実施形態に係るイオン注入層が形成される SiC 半導体の構造は、第 1 実施形態で説明した SiC 半導体と同様に、基板に成長された SiC 層にイオン注入層が形成されたものである。従って、ここでは、図示は省略する。

【0029】第 3 実施形態に係るイオン注入層の製造方法について説明する。まず、4 H SiC {03-38} の面方位を有する基板に窒素 (N) ドープ n 型 4 H SiC 層をエビタキシャル成長させる。ここで、用いる基板は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製する。基板は全て n 型で、ショットキー障壁の容量-電圧特性から求めた実効アクセプタ密度は $3 \sim 6 \times 10^{18} / \text{cm}^3$ 、厚さは $380 \sim 400 \mu\text{m}$ である。CVD 法による n 型 4 H SiC 層の主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.50 sccm 、 C_2H_2 については 0.66 sccm 、 N_2 については $3 \times 10^{-4} \text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1520°C で 90 分間成長させる。このような成長条件によって成長された n 型 4 H SiC 層のドナー密度は $3 \sim 5 \times 10^{15} / \text{cm}^3$ 、膜厚は $5 \mu\text{m}$ である。

【0030】このようにして作製した SiC エビタキシャルウェーハに Al イオンを注入し、イオン注入層を形成する。Al イオン注入は 180 keV 、 120 keV 、 80 keV 、 40 keV 、 20 keV の 5 段階で行い、総ドーズ量は $5 \times 10^{15} \text{ cm}^{-2}$ である。各注入エネルギーのドーズ比を 0.42 (180 keV)、 0.21 (120 keV)、 0.13 (80 keV)、 0.10 (40 keV)、 0.04 (20 keV) とすることによって、深さ約 $0.3 \mu\text{m}$ のボックスプロファイルを形成する。イオン注入は室温、あるいは 500°C で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中で $1000 \sim 1700^\circ\text{C}$ 、30 分の条件で行う。

【0031】次に、上記製造方法によって製造されたイオン注入層の特性について説明する。ここでは、{0001} 面から 8° のオフ角を有する面方位に広がるイオン注入層 (以下、「{0001} 面方位イオン注入層」という) の特性と比較して、{03-38} 面方位を有するイオン注入層 (以下、「{03-38} 面方位イオン注入層」という) の特性を説明する。{0001} 面方位イオン注入層の製造方法は、上記した {03-38} 面方位イオン注入層の製造方法と基本的に同じであるが、n 型 4 H SiC 層を成長させる際に導入する N_2 の流量が $2 \times 10^{-3} \text{ sccm}$ である点が異なる。

【0032】イオン注入層の電気的性質をファン・デア・ボー (van der Pauw) 法によって評価した。イオン注入層を約 10 mm 角に切りだし、注入層の電気的分離を行うために、その中央部 8 mm 角が残るよ

う反応性イオンエッチングによってメサ構造を作製した。このメサ構造の 4 隅にチタン/アルミ (Ti: 厚さ 20 nm /Al: 250 nm) を蒸着し、 900°C 、20 分間の熱処理を行った。

【0033】図 7 は、室温、あるいは 500°C の高温で注入した試料の注入層のシート抵抗のアニール温度依存性を示す図である。シート抵抗はアニール温度の上昇と共に単調に減少するが、そのシート抵抗の絶対値に大きな面方位依存性が観測された {0001} 面イオン注入層の場合、高温注入、 $1600 \sim 1700^\circ\text{C}$ のアニールによって $3200 \sim 3800 \Omega / \square$ という SiC としては比較的低いシート抵抗が得られたが、デバイス応用を考えると十分な値ではない。室温注入ではアニール温度を 1700°C まで上げてシート抵抗は $18000 \Omega / \square$ と非常に高く、高性能デバイスを作製する上で大きな障害となる特性しか得られなかった。これに対して {03-38} 面方位イオン注入層の場合は、室温注入、 1200°C アニールでも $2020 \Omega / \square$ 、室温注入、 1500°C アニールでは $1240 \Omega / \square$ という低い値が得られた。また、{03-38} 面方位イオン注入層では、高温注入を行うと、 1200°C アニールによって $1080 \Omega / \square$ という優れた値を得た。このように、Al イオン注入の場合も 4 H SiC {03-38} 面を用いると、低い注入温度、あるいは低いアニール温度で良好な低抵抗 p 型層が形成できることが分かった。これは、4 H SiC {03-38} では、再結晶化の速度が非常に速く、比較的低温でも良好な結晶性回復特性を示すからであると考えられる。

【0034】次に、前述のイオン注入層 (10 mm 角) を用いてオーム性電極の接触抵抗率の評価を行った。注入層表面に幅 $20 \mu\text{m}$ 、長さ $200 \mu\text{m}$ の短冊状の電極を間隔 $10 \sim 200 \mu\text{m}$ で配置し、TLM 法によって電極の接触抵抗率を測定した。図 8 は、図 7 に対応する接触抵抗率の注入層アニール温度依存性 (電極の熱処理は 900°C で固定) を示す図である。接触抵抗率の面方位依存性、注入温度あるいはアニール温度依存性は、図 7 のシート抵抗と同様の傾向を示した。すなわち、{0001} 面方位イオン注入層の場合、 $5 \times 10^{-6} \Omega \text{ cm}^2$ 以下の低い接触抵抗率を得るためには、高温注入と 1500°C 以上の高温アニールが必要である。一方、{03-38} 面方位イオン注入層では、室温注入の後、 1200°C 以上のアニールを行えば $3 \times 10^{-6} \Omega \text{ cm}^2$ 以下の低い接触抵抗率が得られる。室温注入後、 1500°C アニールを行った {03-38} 面方位イオン注入層では $8 \times 10^{-7} \Omega \text{ cm}^2$ という極めて低い優れた特性を得た。これは、4 H SiC {03-38} 面では上述のように注入イオンの活性化率が高く、非常に高濃度のドーピングが容易だからである。このように、4 H SiC {03-38} 面を用いると、低温プロセスで十分低抵抗の p 型層を形成でき、かつオーム性電極の接触抵抗率

も低減できるので、Pinダイオードのアノード、MOSFETやIGBTなどのp型ベース領域の形成に有効であり、高性能SiCデバイスの実現につながる。

【0035】また、高ドーズイオン注入層の表面の平坦性を原子間力顕微鏡（AFM）により調べた。測定領域を1 μ m～20 μ m角の間で変化させ、表面粗さをRms*

SiC表面の二乗平均粗さ(rms値)

	成長層	注入直後	1200℃ アニール後	1500℃ アニール後	1700℃ アニール後
(0001) 6° オフ面	0.34nm	0.36nm	1.48nm	2.27nm	6.81nm
(0338)面	0.27nm	0.28nm	1.17nm	1.56nm	1.72nm

(10 μ m×10 μ m領域)

【0037】{0001}面方位イオン注入層の表面ではRms値が0.26nm、{03-38}面方位イオン注入層の表面ではRms値が0.16nmとなり、

{03-38}面方位イオン注入層の方が少し小さい値が得られ、表面の平坦性に優れることが分かる。このRms値は注入直後の状態でもほとんど変化しないが、アニール後には変化が見られた{0001}面方位イオン注入層の場合には、低抵抗層を形成するためには、1500℃以上の高温アニールが必要となるが、このような高温アニールを行うと、表面に幅0.3～0.7 μ mのマクロステップが形成され、表面の平坦性が悪化した。

{0001}面方位イオン注入層で最も低いシート抵抗が得られた高温注入、1700℃アニールの試料では、光学顕微鏡では鏡面を保っているものの、AFMではRms値が6.8nmまで増大し、明らかな表面荒れが観測された。高温の熱処理時におけるマクロステップの形成は、SiC{0001}オフ面が表面エネルギーを低減させるために生じる面固有の現象であり、完全に抑制することは容易ではない。一方、{03-38}面方位イオン注入層の場合には、低抵抗p型層が得られる室温注入、1200～1500℃アニールの試料でもRms値は1.2～1.6nmと小さい。1700℃の高温アニールを行っても、Rms値は1.8nmに留まっている。これは4HSiC{03-38}面ではオフ角を導入していないので、表面エネルギーの低い面が既に現れており、マクロステップの形成などによって表面エネルギーを下げる必要がないからであると推測される。このように、4HSiC{03-38}面では高温の熱処理を行っても表面の平坦性が維持されることは、デバイスの性能向上に有効である。例えば、ショットキー障壁/SiC界面の平坦性が維持されるので、漏れ電流の少ない良好な特性が期待される。また、酸化膜/SiC界面の平坦性もよいので、酸化膜の絶縁特性が向上する、界面のキャリアや散乱が低減されてMOS構造のチャネル移動度が向上する、という効果が期待される。

*s（二乗平均）で評価した。表1は、測定領域10 μ m角で比較した結果を示す表である。前述のように、Alイオンをトータルドーズ量5×10¹⁵/cm²注入して、アニールを行った。

【0036】

【表1】

【0038】以下、本発明に係るイオン注入層を適用した様々な半導体デバイスのデバイス特性について説明する。

【0039】（第1適用例）イオン注入層を適用した第1の例は、ショットキーダイオードである。本発明に係るイオン注入層を適用して、図9に示すショットキーダイオード10を製造した。ショットキーダイオード10の製造方法について説明する。

【0040】デバイス作製に用いた基板11は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板11は全てn型で、ホール効果測定によって求めたキャリア密度は8～9×10¹⁸cm⁻³、厚さは160～210 μ mである。このデバイスでは縦方向に電流を流すため、基板11の抵抗を下げ、かつ薄い基板11を用いるのが有効である。この基板11の{03-38}面上に、CVD法によって窒素ドープn型SiC層12をエピタキシャル成長した。n型SiC層はバッファ層12aとドリフト層12bからなり、バッファ層12aはドナー密度1～5×10¹⁷/cm³、膜厚は2 μ m、ドリフト層12bはドナー密度6～8×10¹⁵/cm³、膜厚は12 μ mである。CVD法によるバッファ層12aの主な成長条件は、以下の通りである。導入する気体流量を、SiH₄については0.30sccm、C₃H₈については0.30sccm、N₂については1×10⁻¹sccm、H₂については3.0slmとし、基板温度1550℃で45分間成長させる。また、CVD法によるドリフト層12bの主な成長条件は、以下の通りである。導入する気体流量を、SiH₄については0.50sccm、C₃H₈については0.50sccm、N₂については4×10⁻¹sccm、H₂については3.0slmとし、基板温度1550℃で200分間成長させる。

【0041】このようにして作製したSiCエピタキシャルウェーハを用いて、図9に示す構造のショットキーダイオード10を作製した。ショットキー電極端部での

電界集中、絶縁破壊を抑制するために、ショットキー電極の周囲に幅 $150\mu\text{m}$ 、深さ $0.5\mu\text{m}$ のp型ガードリング14を設けた。ガードリング14はホウ素(B)イオン注入により形成した。Bイオン注入のエネルギーは $30\sim 280\text{keV}$ でトータルドーズ量は $1.1\times 10^{13}/\text{cm}^2$ である。イオン注入のマスクには、Al(厚さ $4\mu\text{m}$)、あるいはCVDにより形成した SiO_2 膜(厚さ $5\mu\text{m}$)を用いた。注入イオン活性化のための熱処理はアルゴンガス雰囲気中 1500°C 、30分の条件で行った。アニールの後、 1150°C 、2時間のウェット酸化により熱酸化膜19を形成し、さらにCVDによって厚さ 800nm の SiN 膜を堆積した。次に裏面にNi(厚さ 200nm)を蒸着し、 1000°C 、20分間の熱処理を行ってオーミック電極18を形成した。次いで表面側にTi/Al(Ti: $200\text{nm}/\text{Al}$: 850nm)を蒸着してショットキー電極16を形成した。ショットキー電極16は 500°C 、30分間の熱処理を行って安定化させた。ショットキーダイオードの表面はポリイミド17を塗布して保護した。ショットキー電極16とガードリング領域14の重なりは $20\mu\text{m}$ であり、ショットキー電極16の直径は $300\mu\text{m}\phi\sim 3\text{mm}\phi$ である。これらのガードリング14、電極パターン形成には、フォトリソグラフィ技術を用いた。

【0042】次に、作製された図9に示すショットキーダイオード10の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用したショットキーダイオード(以下、「{03-38}ショットキーダイオード」という)10の特性を、{0001}面方位イオン注入層を適用したショットキーダイオード(以下、「{0001}ショットキーダイオード」という)と比較して説明する。なお、{0001}ショットキーダイオードの製造方法は、{03-38}ショットキーダイオード10の製造方法と基本的に同じであるが、バッファ層を成長させる際に導入する N_2 の流量が $8\times 10^{-2}\text{sccm}$ である点、ドリフト層を成長させる際に導入する N_2 流量が $3\times 10^{-2}\text{sccm}$ である点が異なる。

【0043】図10は、ショットキーダイオード($1\text{mm}\phi$)の典型的な電流-電圧特性を示す図である。順方向特性は結晶の面方位依存性は小さく、オン抵抗 $3\sim 4\text{m}\Omega\text{cm}^2$ という良好な値が得られた。順方向特性の片対数プロットから求めた理想因子N値は $1.02\sim 1.05$ であり、障壁高さは{0001}ショットキーダイオードで 1.08eV 、{03-38}ショットキーダイオード10で 1.16eV となった。逆方向特性では 1500V 以上の耐圧を達成し、しかも、 -1000V 印加時のリーク電流も $10^{-4}\text{A}/\text{cm}^2$ 程度と小さい。ショットキー電極16が $300\mu\text{m}\phi\sim 1\text{mm}\phi$ 程度の小さいダイオードでは{0001}ショットキーダイオードでも同様のダイオード特性が得られたが、電極面積の

大きいダイオードでは両者の間に大きな差が見られた。図11は、{03-38}ショットキーダイオード10、{0001}ショットキーダイオードの耐圧(平均値)の電極面積依存性を示す図である。各電極面積について、少なくとも40ケのダイオードを測定して耐圧の平均値を求めた。{0001}ショットキーダイオードでは、電極面積が $7.9\times 10^{-3}\text{cm}^2$ ($1\text{mm}\phi$)を越えると急激に耐圧が低下する。これに対して、{03-38}ショットキーダイオード10は、 $7\times 10^{-2}\text{cm}^2$ ($3\text{mm}\phi$)の電極面積でも高い耐圧を維持している。この $3\text{mm}\phi$ のダイオードで耐圧 1200V を基準にして歩留まりを求めると、{0001}ショットキーダイオードで13%、{03-38}ショットキーダイオード10では72%となった。また、耐圧だけでなく、 -1000V 印加時のリーク電流密度の平均値を電極直径 $3\text{mm}\phi$ のダイオードで比較すると、{0001}ショットキーダイオードでは $9\times 10^{-2}\text{A}/\text{cm}^2$ 、{03-38}ショットキーダイオード10では $3\times 10^{-4}\text{A}/\text{cm}^2$ となり、二桁以上の差が認められた。これは、4H SiC {03-38}面を用いることによって、基板11からのマイクロパイプやらせん転位の貫通が抑制され、高品質 SiC 結晶が得られたからであると考えられる。また、4H SiC {03-38}面を用いることによって成長表面、およびイオン注入により形成したガードリング部14の表面の平坦性がよくなり、ショットキー電極16/ SiC 界面での電界集中が低減されるという効果も寄与していると思われる。本適用例ではBイオン注入によってガードリング14を形成したが、Alイオン注入を用いた場合でも同様の効果がある。

【0044】(第2適用例)イオン注入層を適用した第2の例は、プレーナ型pnダイオードである。本発明に係るイオン注入層を適用して、図12に示すプレーナ型pnダイオード20を製造した。プレーナ型pnダイオード20の製造方法について説明する。

【0045】デバイス作製に用いた基板21は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板21は全てn型で、ホール効果測定によって求めたキャリア密度は $8\sim 9\times 10^{18}\text{cm}^{-3}$ 、厚さは $160\sim 210\mu\text{m}$ である。この基板21の{03-38}面上に、CVD法によって窒素ドーブn型 SiC 層22をエピタキシャル成長した。成長層はバッファ層22aとドリフト層22bからなり、バッファ層22aはドナー密度 $1\sim 5\times 10^{17}\text{cm}^{-3}$ 、膜厚は $4\mu\text{m}$ 、ドリフト層22bはドナー密度 $1\sim 2\times 10^{15}\text{cm}^{-3}$ 、膜厚は $76\mu\text{m}$ である。CVD法によるバッファ層22aの主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.30sccm 、 C_2H_2 については 1.5sccm 、 N_2 については $8\times 10^{-2}\text{sccm}$ 、 H_2 については 3.0

slmとし、基板温度1750°C、100 Torrの圧力下で10分間成長させる。また、CVD法によるドリフト層22bの主な成長条件は、以下の通りである。導入する気体流量を、SiH₄については15 sccm、C₂H₆については4.5 sccm、N₂については1×10⁻³ sccm、H₂については3.0 slmとし、基板温度1750°C、100 Torrの圧力下で180分間成長させる。

【0046】ここでは、高い耐圧を得るために高純度・厚膜成長層を短時間で成膜できるように、高温での高速成長を行った。このようにして作製したSiCエピタキシャルウェーハを用いて、図12に示す構造のプレーナ型pnダイオード20を作製した。まず、p型アノード24を形成するために、Alイオンを720 keV、400 keV、280 keV、160 keV、80 keV、40 keV、20 keVの7段階で注入した。総ドーズ量は1.3×10¹³/cm²である。各注入エネルギーのドーズ量を2.7×10¹³/cm² (720 keV)、1.8×10¹³/cm² (400 keV)、1.2×10¹³/cm² (280 keV)、1.0×10¹³/cm² (160 keV)、7.2×10¹²/cm² (80 keV)、4.2×10¹²/cm² (40 keV)、1.3×10¹²/cm² (20 keV)とすることによって、深さ約0.7 μmのp型層の内、表面約0.2 μmが10²⁰/cm³以上の高濃度層となるドーピングプロファイルを形成した。次に、p型アノード領域端部での電界集中、絶縁破壊を抑制するために、この周囲に幅300 μm、深さ0.7 μmのp型ガードリング23を設けた。ガードリング23もAlイオン注入により形成した。Alイオン注入のエネルギーは同じく20~720 keVの7段階でトータルドーズ量は1.0×10¹³ cm⁻²である。ガードリング23の形成時には、注入層がボックスプロファイルとなるよう設計した。イオン注入は全て室温で行い、イオン注入のマスクには、Al (厚さ5 μm)、あるいはCVDにより形成したSiO₂膜 (厚さ6 μm)を用いた。注入イオン活性化のための熱処理はアルゴンガス雰囲気中1500°C、30分の条件で行った。アニールの後、1150°C、2時間のウェット酸化により熱酸化膜を形成し、さらに、CVDによって厚さ800 nmのSiO₂膜30を堆積した。次に裏面にNi (厚さ200 nm) 29、表面側にNi/Al (Ni: 200 nm/Al: 1200 nm) 27を蒸着し、1000°C、20分間の熱処理を行ってオーミック電極27を形成した。ダイオードの表面はポリイミド28を塗布して保護した。p型アノードのサイズは3 mm角 (面積0.09 cm²) である。

【0047】次に、作製された図12に示すプレーナ型pnダイオード20の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用したプレーナ型pnダイオード (以下、「{03-38}プレー

ナ型pnダイオード」という) 20の特性を、{0001}面方位イオン注入層を適用したプレーナ型pnダイオード (以下、「{0001}プレーナ型pnダイオード」という) と比較して説明する。なお、{0001}プレーナ型pnダイオードの製造方法は、{03-38}プレーナ型pnダイオード20の製造方法と基本的に同じであるが、バッファ層を成長させる際に導入するN₂の流量が6×10⁻³ sccmである点、ドリフト層を成長させる際に導入するN₂流量が4×10⁻³ sccmである点が異なる。

【0048】図13は、プレーナ型pnダイオード (3 mm角) の典型的な電流-電圧特性を示す図である。順方向、逆方向特性とも、明らかな面方位依存性が見られた。まず順方向特性に着目すると{0001}プレーナ型pnダイオードは比較的電流が流れにくく、5 A程度以上では約12 mΩ cm²の直列抵抗 (オン抵抗) によって電気伝導が支配される。一方、{03-38}プレーナ型pnダイオード20では、オン抵抗は2~3 mΩ cm²と非常に小さく、約2.8 Vの立ち上がり電圧より高い領域では急激に電流が増大する{03-38}プレーナ型pnダイオード20では30 A (333 A/cm²) という高い電流を3.9 Vの電圧降下で達成することができた。{03-38}プレーナ型pnダイオードに比べて、{0001}プレーナ型pnダイオードでは電流が流れにくいのは、4 HSiC {0001}を用いた場合には、p型アノードの表面部に形成した高濃度p型層の電気的活性化率が低いために抵抗が高いこと、およびこのp型層への電極の接触抵抗が高いことが原因と考えられる。4 HSiC {03-38}を用いると、室温注入でも低抵抗・高濃度p型層が形成できるので、この部分の抵抗と接触抵抗を大幅に低減できる。また、逆方向特性では{0001}プレーナ型pnダイオードの耐圧が5210 Vに留まっているのに対し{03-38}プレーナ型pnダイオード20では8860 Vもの高耐圧を得ることができた。-4500 V印加時のリーク電流は、{0001}プレーナ型pnダイオードで3×10⁻³ A/cm²、{03-38}プレーナ型pnダイオード20で5×10⁻⁸ A/cm²となり、やはり明確な差が見られた。また、絶縁破壊時のアバランシェ電流に着目すると、{03-38}プレーナ型pnダイオード20では絶縁破壊時に5 A (55 A/cm²) まで電流を増してもダイオードの物理的破壊に至らない安定な特性が得られた。しかし、{0001}プレーナ型pnダイオード20では1 A (11 A/cm²) を越えると物理的破壊によって整流特性が著しく悪化するダイオードが大半を占めた。これは、4 HSiC {03-38}面を用いることによって、基板21からのマイクロパイブやらせん転位の貫通が抑制され、高品質SiC結晶が得られたからであると考えられる。

【0049】また、作製したプレーナ型pnダイオード

の+4Vと-1000Vの間のスイッチング特性や高温(300°C)でのオフ特性(-3000V)の長期信頼性には特に面方位依存性が見られなかったが、オン特性(200A/cm²)の長期信頼性には面方位による差が認められた。図14は、{03-38}プレーナ型pnダイオード20、{0001}プレーナ型pnダイオードに順方向電流18A(200A/cm²)を長時間流し続けたときの順方向電圧降下をプロットした図である。{0001}プレーナ型pnダイオードでは約3000secを越えた付近から電圧降下が増大し始め、10000sec後には初期の3.6Vから4.7Vまで増大した。しかしながら、{03-38}プレーナ型pnダイオード20では10000sec後も電圧降下は3.7Vであり、ほとんど劣化していない。この原因を調べるために、長期信頼性試験を行ったダイオードを透過電子顕微鏡(TEM)により観察したところ、劣化した{0001}プレーナ型pnダイオードでは、[0001]面に多数の積層欠陥が発生していること、および{03-38}プレーナ型pnダイオード20ではこのような積層欠陥の発生が見られないことが分かった。この積層欠陥の発生機構は現在のところ明らかでないが、III-V族半導体の発光ダイオードでは、順方向バイアス時にキャリア再結合によって放射されるエネルギーが結晶歪が大きい部分に部分転位の発生を引き起こし、この部分転位が最密充填面内に伸びることによって積層欠陥が形成されることが知られている。{0001}プレーナ型pnダイオードの場合も順方向バイアス時に同様の現象が起こり、最密充填面に相当する[0001]面に積層欠陥が発生したものと推測される。この積層欠陥の影響によって少数キャリア寿命が低下し、順方向電圧降下が増大したと思われる{03-38}プレーナ型pnダイオード20の場合にこのような積層欠陥の発生が抑制される理由は、この面ではSiとC原子が適度に混在するので、PN接合界面における歪が非常に小さく、部分転位や積層欠陥などの欠陥が発生しにくいものと思われる。また、イオン注入後のアニールによって損傷がほぼ完全に除去できるので、欠陥発生の引き金になる歪や点欠陥の集合体が非常に少ないことも寄与している。なお、この実施例ではAlイオン注入によってガードリング23を形成したが、Bイオン注入を用いた場合でも同様の効果がある。

【0050】(第3適用例)イオン注入層を適用した第3の例は、Nチャネル反転MOSFETである。本発明に係るイオン注入層を適用して、図15に示すNチャネル反転MOSFET40を製造した。Nチャネル反転MOSFET40の製造方法について説明する。

【0051】用いた基板41は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板41は全てp型で、ショットキー障壁の容量-電圧特性から求めた実効アクセプタ密度

は $3 \sim 5 \times 10^{18} / \text{cm}^3$ 、厚さは $380 \sim 420 \mu\text{m}$ である。この基板11の{03-38}面に、CVD法によってホウ素ドーパ型SiC層42をエピタキシャル成長した。p型SiC成長層42のアクセプタ密度は $5 \sim 8 \times 10^{18} / \text{cm}^3$ 、膜厚は $4 \mu\text{m}$ である。CVD法によるp型SiC層42の成長条件は以下の通りである。導入する気体流量を、SiH₄については0.50sccm、C₂H₆については0.66sccm、B₂H₆については 1×10^{-5} sccm、H₂については3.0slmとし、基板温度1500°Cで100分間成長させる。

【0052】このようにして作製したSiCエピタキシャルウェーハを用いて、図15に示す構造のNチャネル反転型MOSFET40を作製した。まず、試料をRCA洗浄し、HFディップした後、ウェット酸化によりゲート酸化膜48を形成した。酸化条件は、1100°C、25分である。ゲート酸化膜48の厚さは $46 \sim 53 \text{nm}$ である。ウェット酸化の後、酸化と同じ温度でアルゴン雰囲気、30分間のアニールを行った。

【0053】次に、SiH₄を原料ガスに用いた減圧CVD法によって700°Cで多結晶Si(厚さ $1.6 \mu\text{m}$)を堆積し、POCl₃を用いて900°Cで燐(P)を拡散して低抵抗n型多結晶Siを形成した。この多結晶SiをCF₄とO₂ガスをを用いた反応性イオンエッチングによってパターニングし、幅 $4 \mu\text{m}$ 、幅 $200 \mu\text{m}$ の多結晶Siゲート47を形成した。続いて、この多結晶Siゲート電極をマスクに窒素(N)イオンを注入してソース領域44、ドレイン領域43を形成した。Nイオン注入は120keV、70keV、40keV、25keVの4段階で行い、総ドーズ量は $2 \times 10^{15} / \text{cm}^2$ である。イオン注入は室温で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中1200°C、30分の条件で行った。

【0054】次に、ソース電極46、ドレイン電極45としてチタン/アルミ(Ti:30nm、Al:250nm)を形成し、850°Cで30分間の熱処理を施した。これらの選択的イオン注入用マスクや電極金属のパターニングには、フォトリソグラフィ技術を用いた。ここで用いた自己整合プロセスは、デバイス作製のマスク数の低減、工程数の低減だけでなく、デバイスの微細化、ゲート・ドレイン間やゲート・ソース間の寄生容量の低減に有効である。

【0055】次に、作製された図15に示すNチャネル反転MOSFET40の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用したNチャネル反転MOSFET(以下、「{03-38}Nチャネル反転MOSFET」という)40の特性を、{0001}面方位イオン注入層を適用したNチャネル反転MOSFET(以下、「{0001}Nチャネル反転MOSFET」という)と比較して説明する。なお、{0

10

20

30

40

50

001) Nチャネル反転MOSFETの製造方法は、
{03-38} Nチャネル反転MOSFET40の製造
方法と基本的に同じであるが、p型SiC層を成長させ
る際に導入するB₂H₆の流量が 4×10^{-6} sccmであ
る点、ウェット酸化後のアニールの条件が1150℃、
2時間である点が異なる。アニールの条件が異なるの
は、{03-38}面を用いた場合は、{0001}面
を用いた場合に比べて酸化速度が非常に速いためであ
る。

【0056】図16は、MOSFETの典型的なゲート 10
特性(ドレイン電圧0.1Vの線形領域)を示す図であ
る。図16に示されるように、作製したMOSFETの
ドレイン特性には明確な線形領域と飽和領域が見られ、
MOSFETとしての動作が確認された。{0001}
Nチャネル反転MOSFETは、9.8Vという高いし
きい値電圧を示し、かつゲート電圧を15Vまで増して
もドレイン電流が1μA以下に留まっている。一方、
{03-38} Nチャネル反転MOSFET40は、し
きい値電圧が4.4Vと低く、ゲート電圧の増大に対し
てドレイン電流が急峻に立ち上がる良好な特性が得られ 20
た。このゲート特性から求めた線形領域での実効チャ
ネル移動度は、{0001} Nチャネル反転MOSFET
で $4.5 \text{ cm}^2/\text{Vs}$ 、{03-38} Nチャネル反転M
OSFET40で $86 \text{ cm}^2/\text{Vs}$ となり4HSiC {0
3-38}を用いることによって約20倍の高いチャ
ネル移動度を達成することができた。飽和領域で求めた電
界効果移動度も{0001} Nチャネル反転MOSFE
Tで $3.1 \text{ cm}^2/\text{Vs}$ 、{03-38} Nチャネル反転
MOSFET40で $72 \text{ cm}^2/\text{Vs}$ となり、大きな違い
が見られた。

【0057】このMOSFET特性の面方位による違い
は主に三つの原因による。一つは、MOS界面の品質の
違いである。MOSキャパシタの容量-電圧特性や、M
OSFETの温度特性から4HSiC {03-38}面
ではMOS界面の欠陥密度が4HSiC {0001}面
より約1桁少ないことが分かっている。したがって、

{03-38} Nチャネル反転MOSFET40では、
反転層において電子のトラップや散乱が起こりにくいの
で、高いチャネル移動度が得られる。二番目の理由は、
MOS界面の平坦性の違いである。上述したように、4 40
HSiC {0001}面に高ドーズのイオン注入をして
アニールを行うと、マクロステップが発生して表面の平
坦性が悪化する。MOS反転層チャネルは非常に薄いの
で、このようなMOS界面の平坦性には敏感であり、平
坦性が悪化するとチャネル移動度も低下する4HSiC
{03-38}面では、高ドーズのイオン注入、アニール
を行っても優れた平坦性が維持されるので、高いチャ
ネル移動度が得られる。もう一つの理由は、ソース領域
44、およびオーム性電極の接触抵抗である。Nチャ
ネル反転MOSFETの作製時に同じウェーハ上に作製し

たテストパターンを評価した結果、今回のプロセスで形
成したn型ソース領域のシート抵抗が4HSiC {00
01}面で $2300 \Omega/\square$ 、4HSiC {03-38}
面で $210 \Omega/\square$ であることが分かった。また、このソ
ース領域44への接触抵抗率は4HSiC {0001}
面で $8 \times 10^{-4} \Omega \text{ cm}^2$ 、4HSiC {03-38}面
で $3 \times 10^{-6} \Omega \text{ cm}^2$ であった。このように、4HSi
C {03-38}面を用いることによって、寄生抵抗成
分を一桁以上低減できたことも、上記のMOSFET特
性の向上に大きく寄与している。従来、SiCのデバ
イスプロセスではイオン注入層の活性化と損傷低減に要す
るアニール温度がSiの融点(1420℃)より高いた
めに、自己整合プロセスの適用は困難とされてきた。し
かしながら、4HSiC {03-38}面を用いること
によって室温注入でもイオン注入後のアニール温度を大
幅に低減できるので、自己整合プロセスを採用しても高
性能MOSFETを作製できることが分かった。ここ
では、Nチャネル反転MOSFETについて述べたが、A
lイオン注入によってソース領域、ドレイン領域を形成
するPチャネル反転MOSFETや、CMOSデバイ
スの作製にも4HSiC {03-38}面の活用が非常に
有効である4HSiC {03-38}面を用いて低温イ
オン注入プロセスを使えば、微細CMOS論理ゲートや
オペアンプなどの高温動作高速集積回路の実現が可能で
ある。

【0058】(第4適用例)イオン注入層を適用した第
4の例は、Nチャネル縦型DI(Double Implanted) M
OSFETである。本発明に係るイオン注入層を適用し
て、図17に示すNチャネル縦型DIMOSFET50
を製造した。縦型のSiパワーMOSFETは二重拡散
などのプロセスによって作製されるが、SiCではp型
ウェル、n型ソースなどを形成するのにイオン注入技術
が不可欠となる。この構造では、イオン注入によって形
成したp型領域とエピタキシャル成長によって形成した
n型ドリフト層のpn接合によって耐圧を維持する。N
チャネル縦型DIMOSFET50の製造方法について
説明する。

【0059】デバイス作製に用いた基板51は、改良レ
ーリー法によって成長したインゴットをスライスし、鏡
面研磨することによって作製した。基板51は全てn型
で、ホール効果測定によって求めたキャリア密度は $8 \sim$
 $9 \times 10^{18} / \text{cm}^3$ 、厚さは160~210μmであ
る。このデバイスでは縦方向に電流を流すため、基板5
1の抵抗を下げ、かつ薄い基板51を用いるのが有効で
ある。この基板51の{03-38}面上に、CVD法
によって窒素ドーパドn型SiC層52をエピタキシャル
成長した。成長層はバッファ層52aとドリフト層52
bからなり、バッファ層52aはドナー密度 $1 \sim 5 \times 1$
 0^{17} cm^{-3} 、膜厚は2μm、ドリフト層52bはドナー
密度 $5 \sim 6 \times 10^{18} \text{ cm}^{-3}$ 、膜厚は18μmである。C

VD法によるバッファ層52aの主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.30 sccm 、 C_2H_6 については 0.30 sccm 、 N_2 については $1 \times 10^{-2}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1550°C で45分間成長させる。また、CVD法によるドリフト層52bの主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.50 sccm 、 C_2H_6 については 0.40 sccm 、 N_2 については $2 \times 10^{-4}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1550°C で250分間成長させる。

【0060】このようにして作製したSiCエピタキシャルウェーハを用いて、図17に示す構造の縦型DIMOSFET50を作製した。まず、アルミ(Al)イオンを注入して深さ $0.7\mu\text{m}$ 、アクセプタ密度約 $0.5 \sim 3 \times 10^{17}/\text{cm}^3$ のp型ウェル領域53を形成した。Alイオン注入は 560 keV 、 420 keV 、 300 keV 、 180 keV 、 100 keV 、 50 keV の6段階で行い、総ドーズ量は $1.4 \times 10^{13}/\text{cm}^2$ である。このとき、p型ウェル53の深い領域は接合近傍での電界集中を緩和するために $10^{17}/\text{cm}^3$ 以上の密度、浅い領域はn型反転層を得るためのしきい値電圧を低減し、かつ高いチャネル移動度を得るために $10^{16}/\text{cm}^3$ 台のドーパント密度になるように設計して作製した。

【0061】次に、ソース領域54、ドレイン領域55の形成のために、燐(P)イオンを注入して低抵抗n型領域を作製した。Pイオン注入は 180 keV 、 110 keV 、 60 keV 、 30 keV の4段階で行い、総ドーズ量は $2 \times 10^{15}/\text{cm}^2$ である。イオン注入はともに室温で行った。また、デバイス端部での絶縁破壊を抑制するために、活性領域の周囲に幅 $250\mu\text{m}$ 、深さ $0.7\mu\text{m}$ のp型ガードリングを設けた。ガードリングはホウ素(B)イオン注入により形成した。Bイオン注入のエネルギーは $30 \sim 360\text{ keV}$ でトータルドーズ量は $1.2 \times 10^{13}/\text{cm}^2$ である。イオン注入のマスクには、Al(厚さ $5\mu\text{m}$)、あるいはCVDにより形成した SiO_2 膜(厚さ $6\mu\text{m}$)を用いた。注入イオン活性化のための熱処理はアルゴンガス雰囲気中 1500°C 、30分の条件で行った。チャネル長は $2\mu\text{m}$ 、セルピッチ(ストライプ構造)は $22\mu\text{m}$ である。

【0062】次に、試料をRCA洗浄し、HFディップした後、ドライ酸化によりゲート酸化膜58を形成した。酸化条件は 1150°C 、25分であり、形成されるゲート酸化膜の厚さは $44 \sim 51\text{ nm}$ である。

【0063】このゲート酸化のあと、減圧CVD法によって基板温度 850°C で厚さ約 $1\mu\text{m}$ の多結晶Siを堆積し、燐を 850°C の拡散によりドーピングし、低抵抗n型多結晶Siを形成した。次に、反応性イオンエッチングによってこの多結晶Siを部分的にエッチングして

ゲート電極60を作製した。次に、ゲート・ドレイン間の絶縁用の SiO_2 膜(厚さ約 $0.8\mu\text{m}$)60を基板温度 500°C のプラズマCVD法によって堆積した。この後、裏面全面にニッケル(Ni: 200 nm)を蒸着し、ドレイン電極59とした。表面側のソース電極56にはニッケル/アルミ(Ni: 100 nm /Al: 400 nm)を用い、両方の電極を 950°C で15分間の熱処理を施すことによって良好なオーミック接触を得た。これらの選択的イオン注入用マスクや電極金属のパターニングには、フォトリソグラフィ技術を用いた。この縦型MOSFET50の活性領域の面積は $9 \times 10^{-2}\text{ cm}^2$ (3 mm 角)である。

【0064】次に、作製された図17に示すNチャネル縦型DIMOSFET50の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用したNチャネル縦型DIMOSFET(以下、「{03-38}Nチャネル縦型DIMOSFET」という)50の特性を、{0001}面方位イオン注入層を適用したNチャネル縦型DIMOSFET(以下、「{0001}Nチャネル縦型DIMOSFET」という)と比較して説明する。なお、{0001}Nチャネル縦型DIMOSFETの製造方法は、{03-38}Nチャネル縦型DIMOSFET50の製造方法と基本的に同じであるが、バッファ層を成長させる際に導入する N_2 の流量が $8 \times 10^{-2}\text{ sccm}$ である点、ドリフト層を成長させる際に導入する N_2 の流量が $2 \times 10^{-3}\text{ sccm}$ である点、ゲート酸化膜を形成するための酸化条件が 1150°C 、3時間である点が異なる。

【0065】図18は、低ドレイン電圧領域における縦型DIMOSFET(3mm角)の典型的なドレイン特性を示す図、図19は高ドレイン電圧領域における縦型DIMOSFET(3mm角)の典型的なドレイン特性を示す図である。{0001}Nチャネル縦型DIMOSFET、{03-38}Nチャネル縦型DIMOSFET50は共に明確な線形領域と飽和領域が見られ、MOSFETとして動作したが、その特性にはやはり大きな差が見られた。{0001}Nチャネル縦型DIMOSFETは、ゲート電圧を 15 V まで増してもドレイン電流が 500 mA 以下に留まっている。一方、{03-38}Nチャネル縦型DIMOSFET50は、比較的小さいゲート電圧、ドレイン電圧で 9 A ($100\text{ A}/\text{cm}^2$)以上のドレイン電流が流れ、ゲート電圧 15 V のときには、ドレイン電圧 3.4 V で 9 A ($100\text{ A}/\text{cm}^2$)を達成した。この特性からオン抵抗を見積もると $34\text{ m}\Omega\text{ cm}^2$ となり、非常に良好な値が得られた。ちなみに、{0001}Nチャネル縦型DIMOSFETでは、オン抵抗が $970\text{ m}\Omega\text{ cm}^2$ と大きかった。これに対し{03-38}Nチャネル縦型DIMOSFET50においてオン抵抗が小さかったのは、一つには4H SiC {03-38}を用いることによってMOSチャ

ネル移動度が大幅に向上したためである。このチャンネル移動度の向上には、MOS界面の欠陥密度の低減と優れた平坦性の両方が寄与している。{0001} Nチャンネル縦型DIMOSFETではチャンネル移動度が極めて低いために、オン抵抗がドリフト領域の抵抗ではなく、MOSチャンネル抵抗によって支配されてしまう。また、二つ目の重要な理由は、ソース領域54、およびオーム性電極の接触抵抗の差である。Nチャンネル縦型DIMOSFETの作製時に同じウェーハ上に形成したテストパターンを評価した結果、今回のプロセスで形成したn型ソース領域のシート抵抗が4HSiC{0001}面で1260 Ω/\square 、4HSiC{03-38}面で110 Ω/\square であることが分かった。また、このソース領域への接触抵抗率は4HSiC{0001}面で $9 \times 10^{-4} \Omega \text{cm}^2$ 、4HSiC{03-38}面で $3 \times 10^{-6} \Omega \text{cm}^2$ であった。このように、4HSiC{03-38}面を用いることによって、寄生抵抗成分を一桁以上低減できたことも、上記のMOSFET特性の向上に大きく寄与している。

【0066】次に、この3mm角のDIMOSFETにつき、ゲート電圧0V時(オフ状態)のドレイン耐圧を調べたところ、{0001} Nチャンネル縦型DIMOSFETで1720V、{03-38} Nチャンネル縦型DIMOSFET50で2680Vとなり、大きな差が見られた。これは4HSiC{03-38}を用いることによってデバイス活性領域となるSiCエピタキシャル成長層中52の欠陥密度、特にマイクロパイブ密度が低減されたからであると考えられる。この3mm角の{03-38} Nチャンネル縦型DIMOSFET50では、ゲート電圧15V、ドレイン電圧3.8Vで10A以上のオン電流を流すことができた。

【0067】(第5適用例)イオン注入層を適用した第5の例は、高周波MESFETである。本発明に係るイオン注入層を適用して、図20に示す高周波MESFET70を製造した。高周波MESFET70の製造方法について説明する。

【0068】用いた基板71は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板71はアンドープ成長によって作製した高抵抗ウェーハで、電流-電圧特性から概算した抵抗率は $10^6 \Omega \text{cm}$ であり、厚さは280~320 μm である。基板71の面方位は、{03-38}である。この基板71上に、CVD法によってアンドープのバッファ層72a、窒素(N)ドーブn型チャンネル層72bを連続的にエピタキシャル成長した。バッファ層72aの実効ドナー密度は $1 \times 10^{14} / \text{cm}^3$ 以下、膜厚は5 μm 、チャンネル層のドナー密度は $3 \times 10^{17} / \text{cm}^3$ 、膜厚は0.2 μm である。CVD法によるバッファ層72aの主な成長条件は、以下の通りである。導入する気体流量を、SiH₄については0.30sccm、C、

H₂については0.50sccm、H₂については3.0slmとし、基板温度1520℃で120分間成長させる。また、CVD法によるチャンネル層72bの主な成長条件は、以下の通りである。導入する気体流量を、SiH₄については0.15sccm、C₃H₈については0.10sccm、N₂については $2 \times 10^{-2} \text{sccm}$ 、H₂については3.0slmとし、基板温度1520℃で10分間成長させる。

【0069】このようにして作製したSiCエピタキシャルウェーハを用いて、図20に示す構造の高周波MESFET70を作製した。まず、蒸着とフォトリソグラフィによって形成したAl(厚さ1.5 μm)をマスクに用いて、反応性イオンエッチング(RIE)によって素子分離のための溝を形成した。RIEにはSF₆とO₂をエッチングガスに用い、圧力0.08Torr、高周波電力120Wの条件で行った。このときのエッチング速度は約60nm/minであり、20分間のエッチングによって深さ約1.2 μm の溝を形成した。次に、このRIEに用いたAlマスクをパターンニングすることによってイオン注入用のマスクとし、窒素(N)イオンを注入して低抵抗n型のソース領域74、ドレイン領域73を形成した。Nイオン注入は70keV、40keV、25keV、10keVの4段階で行い、総ドーズ量は $3 \times 10^{14} / \text{cm}^2$ である。イオン注入は室温で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中1200℃、30分の条件で行った。さらに、ソース領域74、ドレイン領域73のオーム性電極としてニッケル(Ni:200nm)を蒸着し、リフトオフ・プロセスによりパターンを形成した後、900℃、10分間の熱処理を加えた。

【0070】次に、電子線露光とリフトオフ・プロセスを用いて微細なショットキーゲート電極77を形成した。ゲート電極材料にはチタン/プラチナ/金(Ti:10nm、Pt:120nm、Au:350nm)を用い、電極77を形成した後、400℃、20分間の熱処理を行ってショットキー電極77の安定化を図った。ソース電極76、ドレイン電極75上に厚さ800nmのAlを堆積した後、GaAsMESFETの作製で用いられるプロセスによってAuのエアブリッジを作製し、ソース・フィンガーを接続した。作製した高周波MESFET70のゲート長は0.4 μm 、ゲート幅は900 μm 、ソース・ゲート間距離は0.4 μm 、ゲート・ドレイン間距離は1.2 μm である。

【0071】次に、作製された図20に示す高周波MESFET70の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用した高周波MESFET(以下、「{03-38}高周波MESFET」という)70の特性を、{0001}面方位イオン注入層を適用した高周波MESFET(以下、「{0001}高周波MESFET」という)と比較して説明す

る。なお、{0001}高周波MESFETの製造方法は、{03-38}高周波MESFET70の製造方法と基本的に同じであるが、チャネル層を成長させる際に導入する N_2 の流量が 1×10^{-3} sccmである点が異なる。

【0072】作製した高周波MESFETのドレイン特性には明確な線形領域と飽和領域が見られ、MESFETとしての動作が確認された。MESFETの典型的なドレイン特性を図21(a)及び(b)に示す。MESFETの直流特性の性能指標となる相互コンダクタンス g_m を見積もると、ゲート電圧0V、ドレイン電圧10Vの条件において{0001}高周波MESFETで $g_m = 58$ mS/mm、{03-38}高周波MESFET70では $g_m = 74$ mS/mmとなった。この違いは主に、ソース領域64、およびオーム性電極の接触抵抗の差に起因すると考えられる。高周波MESFETの作製時に同じウェーハ上に作製したテストパターンを評価した結果、今回のプロセスで形成したn型ソース領域のシート抵抗が4HSiC{0001}面で $1830 \Omega/\square$ 、4HSiC{03-38}面で $186 \Omega/\square$ であることが分かった。また、このソース領域への接触抵抗率は4HSiC{0001}面で $8 \times 10^{-4} \Omega \text{ cm}^2$ 、4HSiC{03-38}面で $3 \times 10^{-6} \Omega \text{ cm}^2$ であった。このように、4HSiC{03-38}面を用いることによって、寄生抵抗成分を一桁以上低減できたことも、上記のMESFET特性の向上に大きく寄与している。オフ時のドレイン耐圧は{0001}高周波MESFETで120V、{03-38}高周波MESFET70では155Vであった。これは、4HSiC{03-38}面を用いることによって、基板71からのマイクロバンプやらせん転位の貫通が抑制され、高品質SiC結晶が得られたからであると考えられる。また、4HSiC{03-38}面を用いることによって成長表面の平坦性が良くなり、ショットキー電極77/SiC界面での電界集中が低減されるという効果も寄与していると思われる。

【0073】次に、このMESFETの高周波特性をオン・ウェーハのマイクロ波測定装置で評価した結果を図22に示す。ドレイン電圧50Vの条件でテストしたときの遮断周波数 f_t と最高発振周波数 f_{max} を求めた{0001}高周波MESFETでは $f_t = 6.2$ GHz、 $f_{max} = 16$ GHz、{03-38}高周波MESFET70では $f_t = 16$ GHz、 $f_{max} = 43$ GHzと見積もられ、{03-38}高周波MESFETの方が優れた特性が得られた。また、周波数3GHzでの性能テストを行った結果、最高パワー密度が{0001}高周波MESFETで2.1 W/mm(トータルパワー1.8 W)、{03-38}高周波MESFET70で3.4 W/mm(トータルパワー3.1 W)となり、やはり{03-38}高周波MESFETの方が高い出力

が得られた。このように、4HSiC{03-38}面を用いることによって優れた高周波特性が得られたのは、上述のように、ソース領域74、およびオーム性電極の接触抵抗などの寄生抵抗が大幅に低減できるからである。

【0074】(第6適用例)イオン注入層を適用した第6の例は、スーパージャンクション(SJ)構造のショットキーダイオードである。本発明に係るイオン注入層を適用して、図23に示すSJ構造のショットキーダイオード80を製造した。SJ構造のショットキーダイオードについて説明する。Siパワーデバイスでは、単一のpn接合、あるいはショットキー障壁の逆バイアス状態を用いてオフ状態(高耐圧の維持)を実現しているのに対し、SJ構造では通常のpn接合(あるいはショットキー障壁)のn型領域に、高電圧が印加される方向とは垂直方向に多層のpn接合が形成される。オフ状態では、これら多層pn接合が互いに逆バイアスになるので、空乏層が二次元的に広がる。このとき、適切に空乏層内の空間電荷分布を設計すれば、ドリフト領域内の電界分布を均一にできる。この結果、比較的高濃度ドーピングを行った低抵抗層を用いても高い耐圧を維持できるようになり、高耐圧かつ低オン抵抗のパワーデバイスを実現することが出来る。このSJ構造は古くから提唱されていたが、当時は多層pn接合を制御良く作製する技術が確立されていなかったので実用化はされなかった。最近の半導体加工技術の進展によって、このような多層pn接合の形成と空間電荷分布の精密制御が可能になり、SiパワーMOSFETの分野で実用化が進められている。このSJ構造がSiCに対しても有効であるのは明らかである。

【0075】次に、SJ構造のショットキーダイオードの製造方法について説明する。デバイス作製に用いた基板81は、改良レーリー法によって成長したインゴットをスライスし、鏡面研磨することによって作製した。基板81は全てn型で、ホール効果測定によって求めたキャリア密度は $1 \sim 2 \times 10^{19} / \text{cm}^3$ 、厚さは $160 \sim 210 \mu\text{m}$ である。このデバイスでは縦方向に電流を流すため、基板81の抵抗を下げ、かつ薄い基板81を用いるのが有効である。この基板81の{03-38}面上に、CVD法によって窒素ドーブn型SiC層をエピタキシャル成長した。成長層はバッファ層82とドリフト層83からなり、バッファ層82はドナー密度 $1 \sim 5 \times 10^{17} / \text{cm}^3$ 、膜厚は $2 \mu\text{m}$ 、ドリフト層83はドナー密度 $4 \times 10^{16} / \text{cm}^3$ 、膜厚は $3.5 \mu\text{m}$ である。CVD法によるバッファ層82の主な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.30 sccm、 C_2H_2 については 0.30 sccm、 N_2 については 1×10^{-2} sccm、 H_2 については 3.0 s l mとし、基板温度 1520°C で45分間成長させる。また、CVD法によるドリフト層83の主

な成長条件は、以下の通りである。導入する気体流量を、 SiH_4 については 0.50 sccm 、 C_2H_6 については 0.50 sccm 、 N_2 については $2 \times 10^{-3}\text{ sccm}$ 、 H_2 については 3.0 slm とし、基板温度 1520°C で60分間成長させる。

【0076】この SiC エピウェハ上に減圧CVD法によって厚さ $6\mu\text{m}$ の SiO_2 膜を堆積した。この SiO_2 膜上に Al を蒸着し、フォトリソグラフィによって幅 $2\mu\text{m}$ のストライプ状のパターンを形成した。この Al パターンをマスクとして、 CF_4 と O_2 ガスを用いた反応性イオンエッチングによって SiO_2 膜を選択的にエッチングした。次に、ストライプ状のパターンに加工された SiO_2 膜をマスクとして高エネルギーイオン注入を行い、 n 型成長層（ドリフト層）83の一部を p 型に変換した。高エネルギーイオン注入によって成長層を貫通する深い p 型領域83aを形成した。注入イオンは Al^+ であり、注入エネルギーは $30\text{ keV} \sim 6500\text{ keV}$ の15段階でトータルドーズ量は、 $3 \times 10^{13}/\text{cm}^2$ である。イオン注入時の試料加熱は行わない。注入イオン活性化のための熱処理はアルゴンガス雰囲気中 1600°C 、30分の条件で行った。このイオン注入によって、幅約 $2\mu\text{m}$ のストライプ状の注入領域はアクセプタ密度が約 $4 \times 10^{16}/\text{cm}^3$ の p 型（深さ約 $3.5\mu\text{m}$ ）となり、 SJ 構造が形成される。

【0077】このようにして作製した SJ 構造を有する SiC エピタキシャルウェハを用いて、図23に示す構造の SJ ショットキーダイオード80を作製した。まず、ショットキー電極端部での電界集中、絶縁破壊を抑制するために、ショットキー電極の周囲に幅 $150\mu\text{m}$ 、深さ $0.5\mu\text{m}$ の p 型ガードリング84を設けた。ガードリング84は、ホウ素（ B ）イオン注入によって形成した。 B イオン注入のエネルギーは $30 \sim 280\text{ keV}$ でトータルドーズ量は $1.1 \times 10^{13}/\text{cm}^2$ である。イオン注入のマスクには、 Al （厚さ $4\mu\text{m}$ ）、あるいはCVDにより形成した SiO_2 膜（厚さ $5\mu\text{m}$ ）を用いた。注入イオン活性化のための熱処理はアルゴンガス雰囲気中 1500°C 、30分の条件で行った。アニールの後、 1150°C 、2時間のウェット酸化により熱酸化膜87を形成し、さらに、CVDによって厚さ 80 nm の SiN 膜88を堆積した。

【0078】次に、裏面に Ni （厚さ 200 nm ）を蒸着し、 1000°C 、20分間の熱処理を行ってオーミック電極90を形成した。続いて、表面側に Ti/Al （ $\text{Ti}: 200\text{ nm}/\text{Al}: 850\text{ nm}$ ）を蒸着し、ショットキー電極86を形成した。ショットキー電極86は、 500°C 、30分間の熱処理を行って安定化させた。ダイオードの表面はポリイミド89を塗布して保護した。ショットキー電極86とガードリング84の重なりは $20\mu\text{m}$ であり、ショットキー電極86の直径は 3 mm φである。

【0079】次に、作製された図23に示す SJ ショットキーダイオード80の特性について説明する。ここでは、{03-38}面方位イオン注入層を適用した SJ ショットキーダイオード（以下、「{03-38} SJ ショットキーダイオード」という）80の特性を、{0001}面方位イオン注入層を適用した SJ ショットキーダイオード（以下、「{0001} SJ ショットキーダイオード」という）と比較して説明する。なお、{0001} SJ ショットキーダイオードの製造方法は、{03-38} SJ ショットキーダイオード80の製造方法と基本的に同じであるが、バッファ層82を成長させる際に導入する N_2 の流量が $8 \times 10^{-2}\text{ sccm}$ である点、ドリフト層83を成長させる際に導入する N_2 の流量が $1 \times 10^{-2}\text{ sccm}$ である点が異なる。

【0080】図24は、 SJ ショットキーダイオード（ 3 mm φ）の典型的な電流-電圧特性を示す図である。順方向特性は、結晶の面方位依存性は小さく、オン抵抗 $0.5 \sim 0.7\text{ m}\Omega\text{ cm}^2$ という良好な値が得られた。順方向特性の片対数プロットから求めた理想因子 n 値は、 $1.02 \sim 1.05$ であり障壁高さは{0001} SJ ショットキーダイオードで 1.09 eV 、{03-38} SJ ショットキーダイオード80で 1.18 eV となった。これに対して、逆方向特性では用いた面方位によって大きな差が見られた。{0001} SJ ショットキーダイオードでは、最高耐圧が 580 V 、平均耐圧が 362 V に留まっているのに対し、{03-38} SJ ショットキーダイオード80では、最高耐圧が 764 V 、平均耐圧が 612 V となり、優れた特性が得られた。また、耐圧だけでなく、 -300 V 印加時のリーク電流密度の平均値を電極直径 3 mm φのダイオードと比較すると、{0001} SJ ショットキーダイオードでは $3 \times 10^{-3}\text{ A}/\text{cm}^2$ 、{03-38} SJ ショットキーダイオード80では $1 \times 10^{-4}\text{ A}/\text{cm}^2$ となり、三桁以上の差が認められた。これは、 4 HSiC {03-38}面を用いることによって、基板81からのマイクロパイプやらせん転位の貫通が抑制され、高品質 SiC 結晶が得られたからであると考えられる。また、 4 HSiC {03-38}面を用いることによって、成長表面、及びイオン注入によって形成された SJ 部、及びガードリング84部の平坦性が良くなり、ショットキー電極/ SiC 界面での電極集中が低減されるという効果も寄与していると思われる。この実施例では、 B イオン注入によってガードリング84を形成したが、 Al イオン注入を用いた場合でも同様の効果がある。イオン注入によって形成された SJ 構造を 4 HSiC {03-38} MOSFET に適用すれば、高耐圧、低損失の優れたパワートランジスタを実現できる。

【0081】以上、本発明の実施形態について詳細に説明してきたが、本発明は上記実施形態に限定されるものではない。

【0082】上記実施形態においては、窒素(N)、磷(P)、アルミ(Al)、ホウ素(B)イオンを注入したイオン注入層について説明したが、例えば、砒素(As)やガリウム(Ga)、インジウム(In)等の上記以外のイオンを注入することとしても良い。

【0083】

【発明の効果】本発明によれば、イオン注入層が【03-38】面から 10° 以内の角度 α のオフ角を有する面方位に広がることによって、結晶の乱れが少ないイオン注入層を実現することができる。

【図面の簡単な説明】

【図1】イオン注入層を説明するための図である。

【図2】イオン注入層のRBSスペクトルを示す図である。

【図3】イオン注入層のシート抵抗の注入ドーズ量依存性を示す図である。

【図4】イオン注入層における注入イオンの電気的活性化率のアニール温度依存性を示す図である。

【図5】イオン注入層のシート抵抗のアニール温度依存性を示す図である。

【図6】イオン注入層の接触抵抗率のアニール温度依存性を示す図である。

【図7】イオン注入層のシート抵抗の注入層アニール温度依存性を示す図である。

【図8】イオン注入層の接触抵抗率の注入層アニール温度依存性を示す図である。

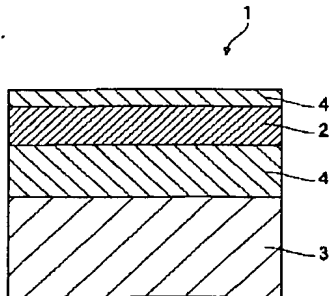
【図9】イオン注入層が適用されたショットキーダイオードを示す図である。

【図10】ショットキーダイオードの電流-電圧特性を示す図である。

【図11】ショットキーダイオードの耐圧(平均値)の電極面積依存性を示す図である。

【図12】イオン注入層が適用されたプレーナ型pnダ*

【図1】



*イオードを示す図である。

【図13】プレーナ型pnダイオード(3mm角)の電流-電圧特性を示す図である。

【図14】プレーナ型pnダイオードに順方向電流を長時間流したときの順方向電圧降下をプロットした図である。

【図15】イオン注入層が適用されたNチャネル反転MOSFETを示す図である。

【図16】Nチャネル反転MOSFETのゲート特性を示す図である。

【図17】イオン注入層が適用されたNチャネル縦型DIMOSFETを示す図である。

【図18】低ドレイン電圧領域における縦型DIMOSFET(3mm角)のドレイン特性を示す図である。

【図19】高ドレイン電圧領域における縦型DIMOSFET(3mm角)のドレイン特性を示す図である。

【図20】イオン注入層が適用された高周波MESFETを示す図である。

【図21】(a)、(b)は、高周波MESFETの典型的なドレイン特性を示す図である。

【図22】高周波MESFETの高周波特性をオン・ウェーハのマイクロ波測定装置で評価した結果を示す図である。

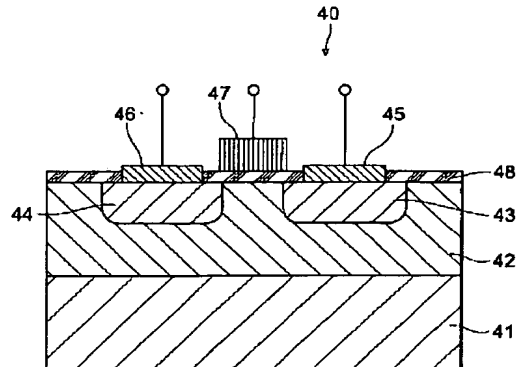
【図23】イオン注入層が適用されたSJショットキーダイオードを示す図である。

【図24】SJショットキーダイオード(3mmφ)の電流-電圧特性を示す図である

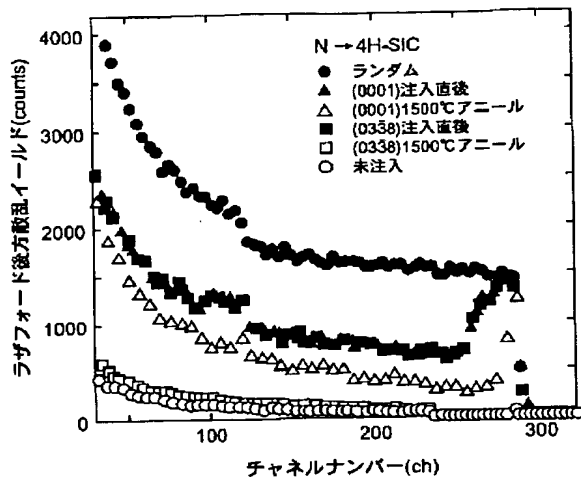
【符号の説明】

10…ショットキーダイオード、11…基板、12…窒素ドーピング型SiC層、12a…バッファ層、12b…ドリフト層、14…ガードリング、16…ショットキー電極、17…ポリイミド、18…オーミック電極、19…酸化膜。

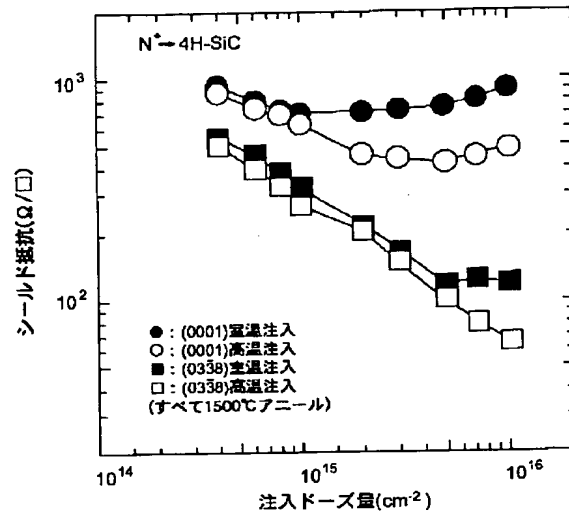
【図15】



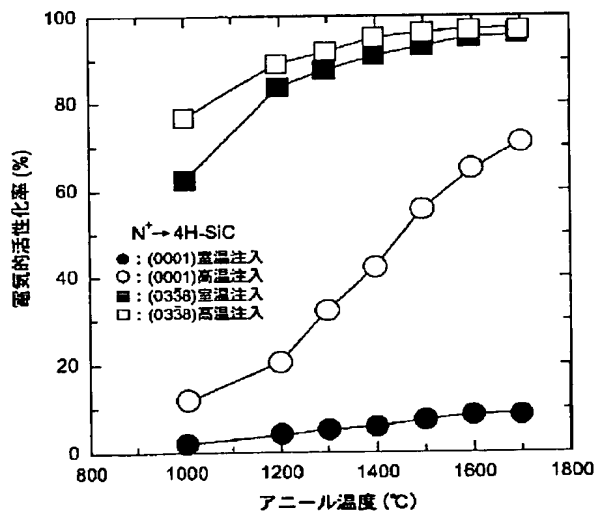
【図2】



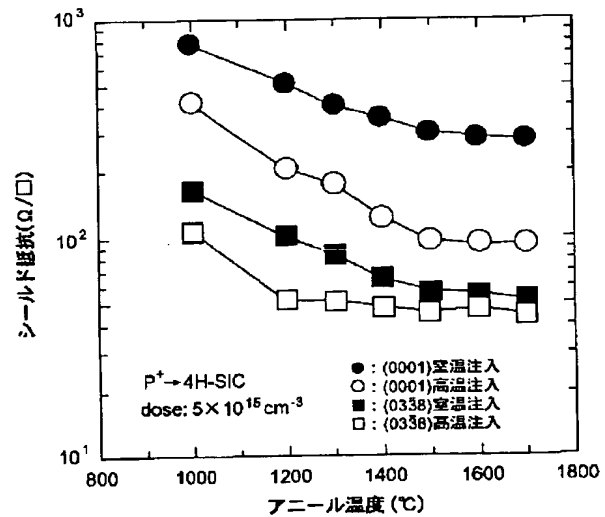
【図3】



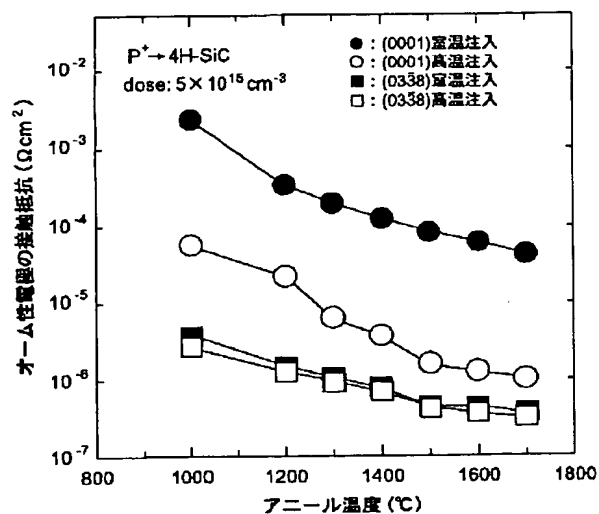
【図4】



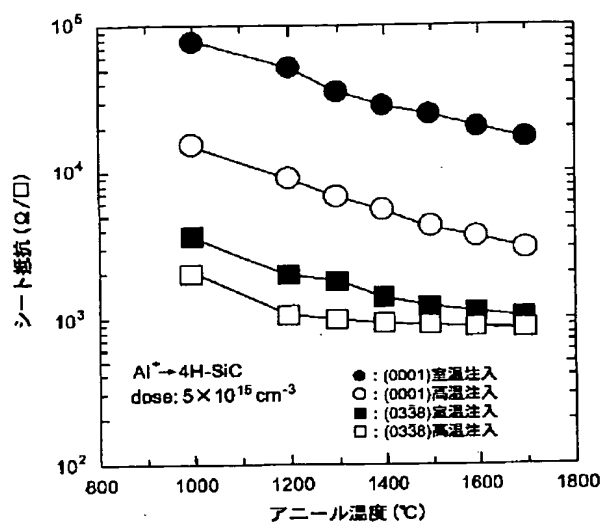
【図5】



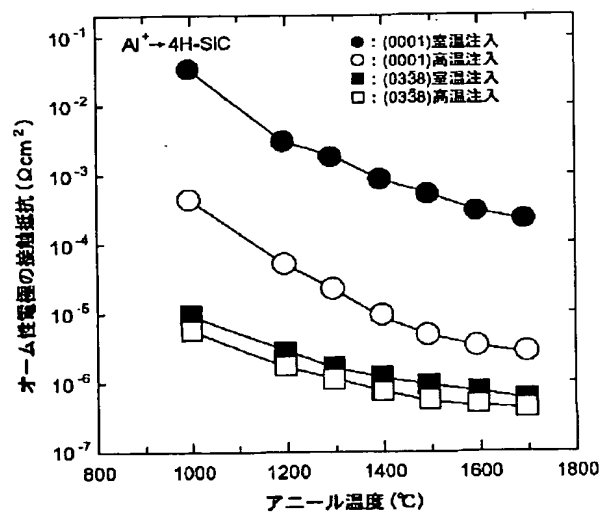
【図6】



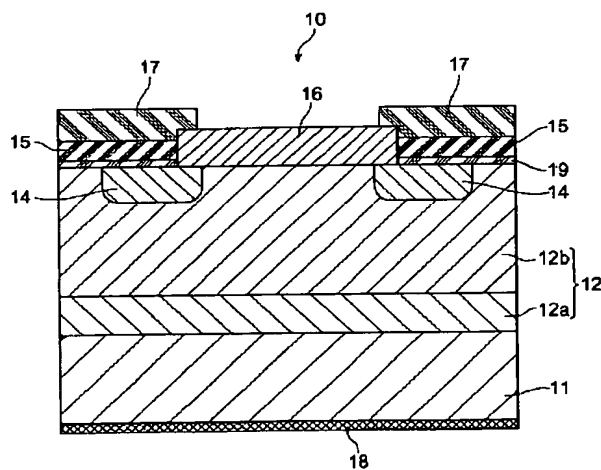
【図7】



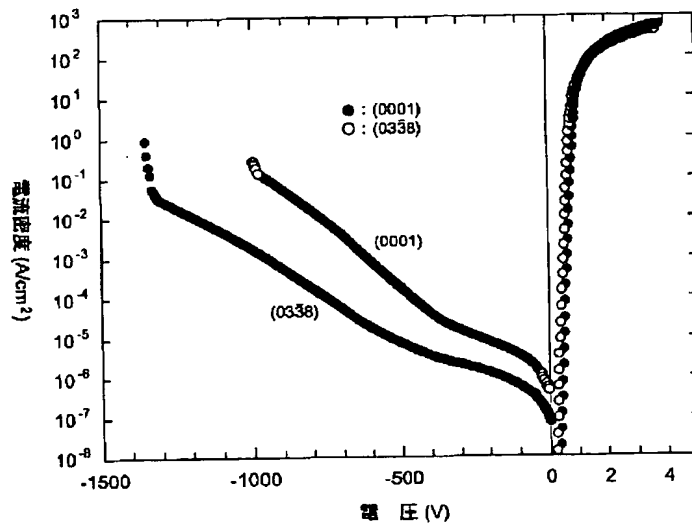
【図8】



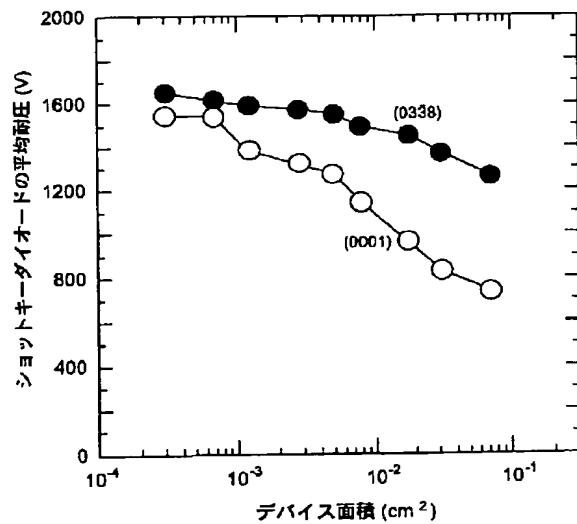
【図9】



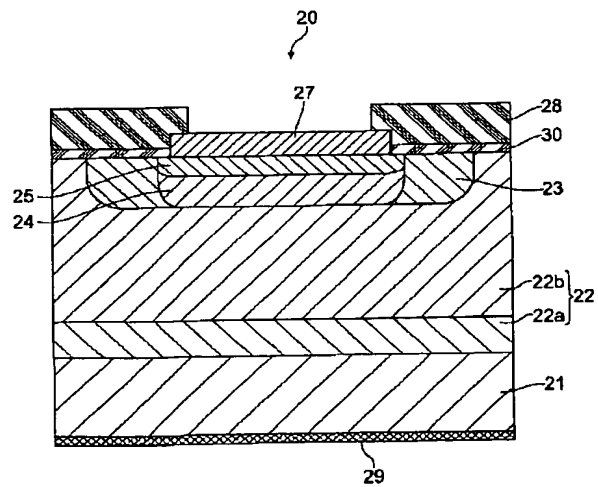
【図10】



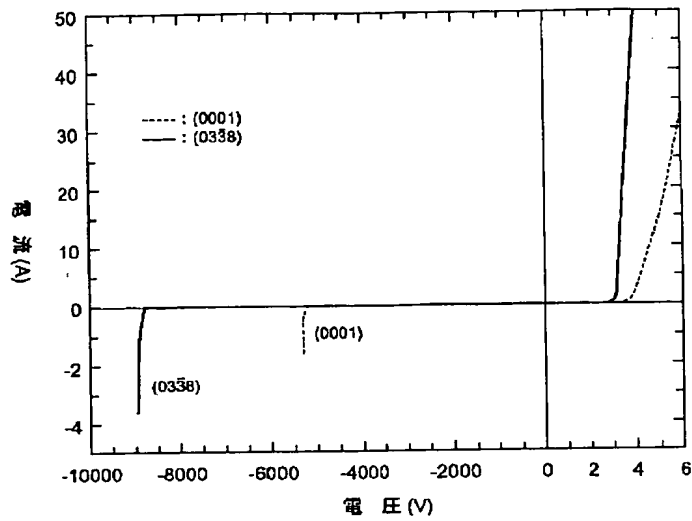
【図11】



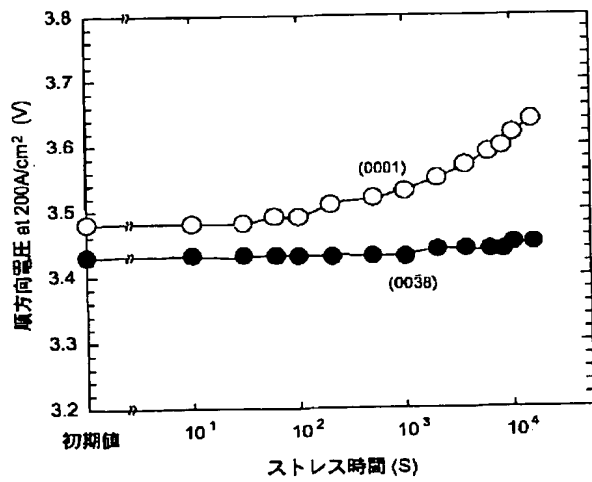
【図12】



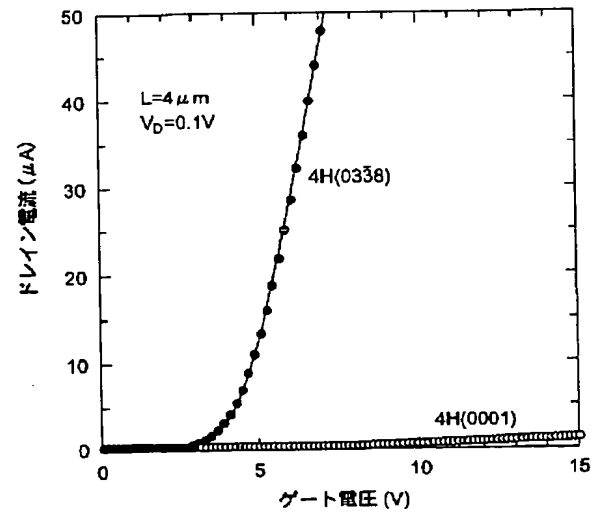
【図13】



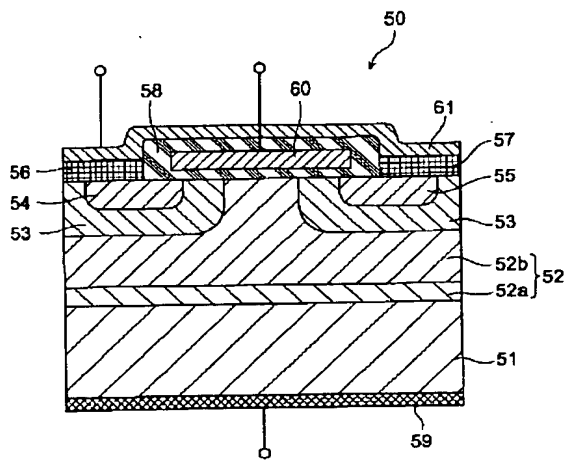
【図14】



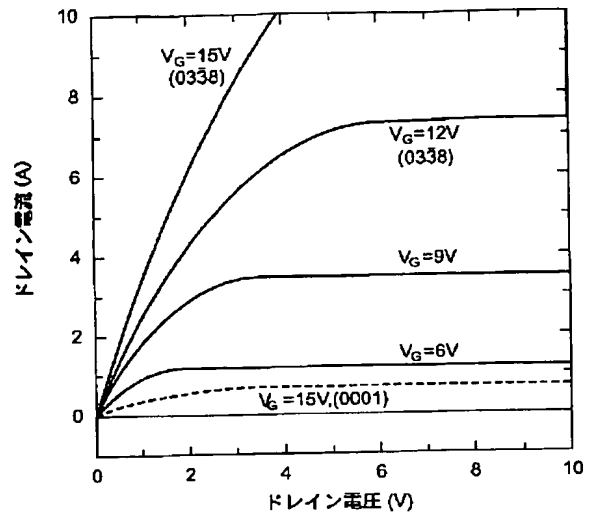
【図16】



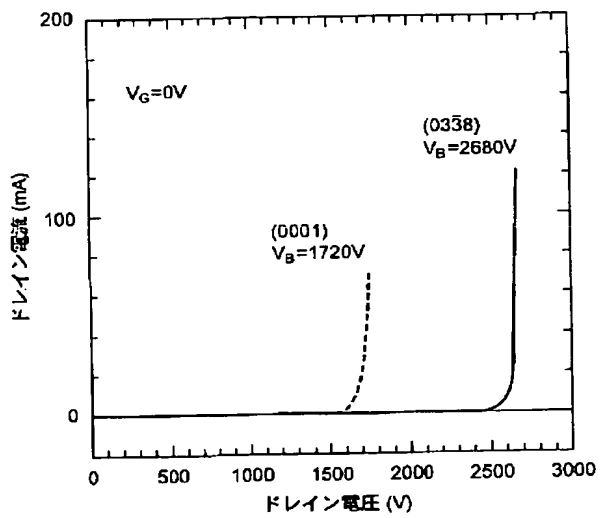
【図17】



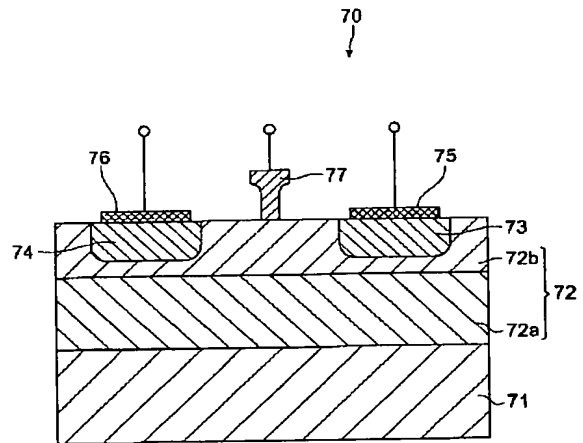
【図18】



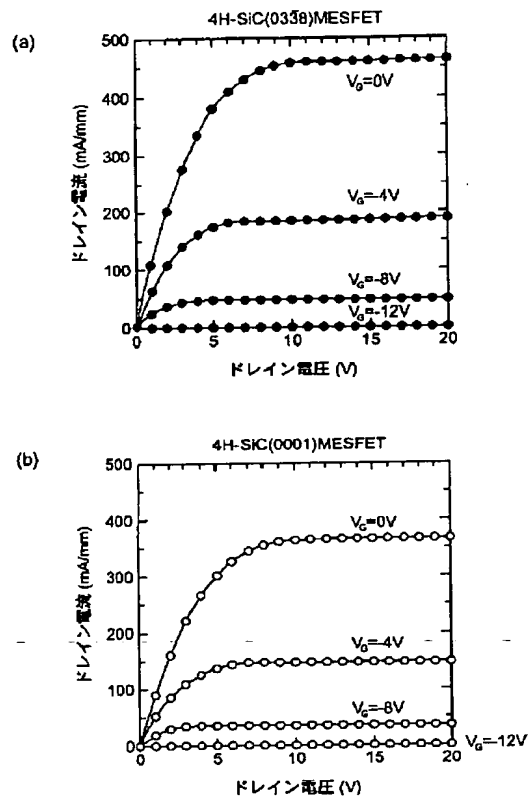
【図19】



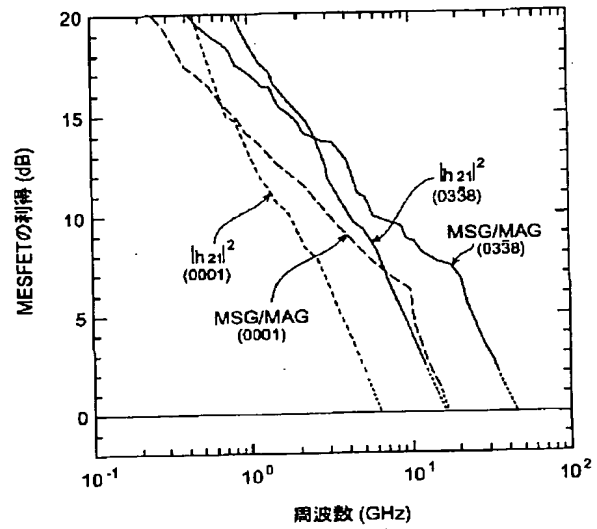
【図20】



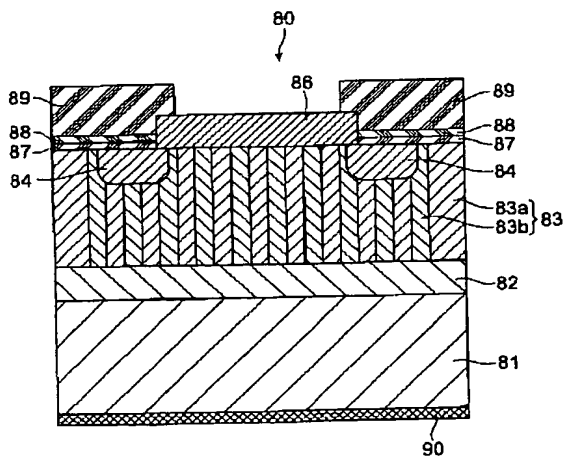
【図21】



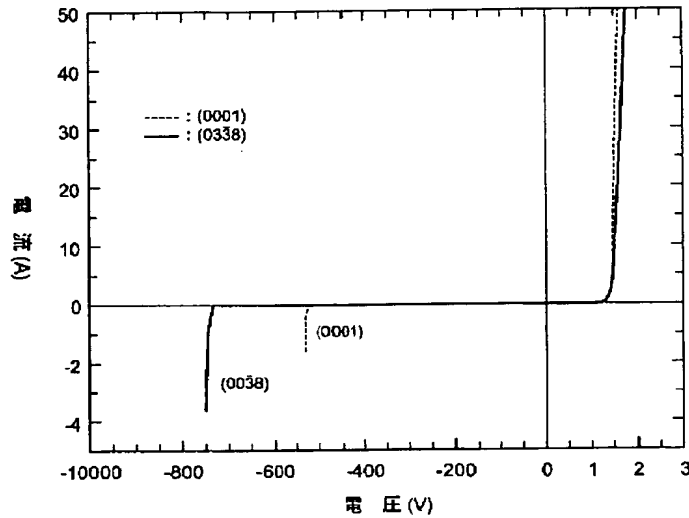
【図22】



【図23】



【図24】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	タームコード (参考)
H 0 1 L 29/78 21/336 21/338 29/812 21/329 29/861	6 5 2	H 0 1 L 29/78 29/80 29/91	3 0 1 B 3 0 1 Q 6 5 8 A B A F
(71)出願人 000005979 三菱商事株式会社 東京都千代田区丸の内2丁目6番3号 (72)発明者 木本 恒暢 京都府京都市伏見区桃山町松平筑前エルシ ティ桃山筑前605 (72)発明者 塩見 弘 大阪府吹田市原町1-6-19 (72)発明者 松波 弘之 京都府八幡市西山足立1-9	F ターム (参考) 4G077 AA03 BE08 DB01 ED05 ED06 FD02 FE11 TK06 4M104 AA03 BB14 CC03 DD26 FF35 GG03 5F102 GB01 GC01 GD01 GJ02 GR01 GS02 GS04 GT03 HC01 HC07 HC16 5F140 AA00 AA27 BA02 BA16 BA20 BE02 BE03 BE07 BE17 BF01 BF04 BG28 BG31 BG38 BH21 BJ07 BJ11 BJ15 BK13 BK21		